วงจรซีมอสโอทีเอแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้นและการประยุกต์ใช้

ดนุพัฒน์ ดวงมาลัย

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาปรัชญาดุษฎีบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์
มหาวิทยาลัยอุบลราชธานี
ปีการศึกษา 2559
ลิขสิทธิ์เป็นของมหาวิทยาลัยอุบลราชธานี

A LINEAR TUNABLE WIDE INPUT RANGE CMOS OTA AND ITS APPLICATION

DANUPAT DUNAGMALAI

A THESIS IN PARTIAL FULFILLMENT OF THE REQUIREMENTS
FOR THE DEGREE OF DOCTOR OF PHILOSOPHY
MAJOR IN ELECTRICAL ENGINEERING
FACULTY OF ENGINEERING
UBON RATCHATHANI UNIVERSITY
ACADEMIC YEAR 2016

COPYRIGHT OF UBON RATCHATHANI UNIVERSITY

ใบรับรองวิทยานิพนธ์

มหาวิทยาลัยอุบลราชธานี

ปริญญาปรัชญาดุษฎีบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์

เรื่อง วงจรซีมอสโอทีเอแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้นและการประยุกต์ใช้

ผู้วิจัย นายดนุพัฒน์ ดวงมาลัย

คณะกรรมการสอบ

ผู้ช่วยศาสตราจารย์ ดร.บุญชัย บุญชู	ประธานกรรมการ
ผู้ช่วยศาสตราจารย์ ดร.ขนิษฐา แก้วแดง	กรรมการ
ผู้ช่วยศาสตราจารย์ ดร.ศุภฤกษ์ จันทร์จรัสจิตต์	กรรมการ

อาจารย์ที่ปรึกษา

.....

(ผู้ช่วยศาสตราจารย์ ดร.ขนิษฐา แก้วแดง)

.....	.....
(รองศาสตราจารย์ ดร.กุลเชษฐ์ เพียรทอง)	(รองศาสตราจารย์ ดร.อริยาภรณ์ พงษ์รัตน์)
คณบดีคณะวิศวกรรมศาสตร์	รองอธิการบดีฝ่ายวิชาการ

ลิขสิทธิ์เป็นของมหาวิทยาลัยอุบลราชธานี

ปีการศึกษา 2559

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงไปได้ด้วยดี ผู้วิจัยขอกราบขอบพระคุณ ผู้ช่วยศาสตราจารย์ ดร.ขนิษฐา แก้วแดง อาจารย์ที่ปรึกษา ที่ได้ให้แนวคิดความรู้ทางวิชาการ ตรวจสอบวิทยานิพนธ์ทุกขั้นตอน ตลอดจนให้คำแนะนำในการดำเนินชีวิต และกำลังใจแก่ผู้เขียนโดยไม่หวังผลตอบแทน ซึ่งเป็นผลให้ผู้วิจัยมีความสามารถในการทำงานวิจัย และพัฒนางานวิจัยได้อย่างมีประสิทธิภาพ เพื่อถ่ายทอดความรู้ความสามารถที่มีอยู่แก่ศิษย์ของผู้วิจัยต่อไป นอกจากนี้แล้วผู้วิจัยขอกราบขอบพระคุณ บิดา มารดา ตลอดทั้งครอบครัว ที่ให้การสนับสนุนในการศึกษาต่อในครั้งนี้ อีกทั้งขอขอบพระคุณคณาจารย์ทุกท่านที่ให้คำปรึกษาในการสร้างสรรค์ผลงานวิจัยเพื่อเป็นส่วนหนึ่งในความสำเร็จของวิทยานิพนธ์ฉบับนี้

ดนุพัฒน์ ดวงมาลัย
ผู้วิจัย

บทคัดย่อ

เรื่อง	:	วงจรซีมอสโอทีเอแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น และการประยุกต์ใช้
ผู้วิจัย	:	ดนุพัฒน์ ดวงมาลัย
ชื่อปริญญา	:	ปรัชญาดุษฎีบัณฑิต
ภาควิชา	:	วิศวกรรมไฟฟ้า
อาจารย์ที่ปรึกษา	:	ผู้ช่วยศาสตราจารย์ ดร.ขนิษฐา แก้วแดง
ศัพท์สำคัญ	:	ทรานส์คอนดัคเตอร์, ค่าแรงดันอินพุตกว้าง, ปรับค่าอย่างเชิงเส้น, วงจรยกกำลังสอง

วิทยานิพนธ์นี้นำเสนอการออกแบบวงจรทรานส์คอนดัคเตอร์ แบบมีช่วงอินพุตกว้างที่สามารถปรับค่าอัตราขยายทรานส์คอนดัคแตนซ์ได้อย่างเชิงเส้น ที่ออกแบบให้ค่าอัตราขยายทรานส์คอนดัคแตนซ์สามารถปรับค่าขยายได้อย่างเชิงเส้น โดยออกแบบให้ส่วนของกระแสดีซีไบอัสของคู่ผลต่างอยู่ในเทอมของกำลังสอง และปรับค่าช่วงแรงดันอินพุทได้กว้าง โดยออกแบบทรานส์คอนดัคเตอร์แบบลดทอนซอร์ส ซึ่งโครงสร้างของวงจรประกอบด้วย วงจรทรานส์คอนดัคเตอร์แบบซีมอส และวงจรยกกำลังสองของสัญญาณกระแส ผลการทดสอบถูกจำลองการทำงานด้วยโปรแกรม PSPICE ให้สมรรถนะออกมาตามที่คาดหวังคือมีช่วงอินพุตกว้าง สามารถปรับค่าอัตราขยายทรานส์คอนดัค-แตนซ์ได้อย่างเชิงเส้น วงจรที่ได้ออกแบบสามารถทำงานได้ดี มีค่าความผิดพลาดต่ำ สอดคล้องตามทฤษฎีพร้อมกันนี้ได้นำเอาวงจรทรานส์คอนดัคเตอร์ ไปใช้ในการออกแบบวงจรกำเนิดสัญญาณวงจรคูณสัญญาณ และวงจรกรองความถี่โหมดแรงดัน

ABSTRACT

TITLE : A LINEAR TUNABLE WIDE INPUT RANGE CMOS OTA AND ITS APPLICATION
AUTHOR : DANUPAT DUNAGMALAI
DEGREE : DOCTOR OF PHILOSOPHY
MAJOR : ELECTRICAL ENGINEERING
ADVISOR : ASST. PROF. KHANITTHA KAEWDANG, Ph.D.
KEYWORDS : TRANSCONDUCTOR, WIDE INPUT VOLTAGE RANGE, LINEAR TUNABLE, CURRENT SQUARING CIRCUIT

This thesis proposed a transconductor circuit design which offers wide linear adjustable transconductance gain. This design using DC bias of current balanced differential pairs in square root term andreduce degeneration source techniques. This circuit composed of CMOS transconductor and current squarer circuits.The validity of the proposed has been demonstrated through PSPICE simulations in whichthe output of the purposed circuit indicatedgood agreementwith the theory on the wide input range, tunable linear transconductance and low relative error. The applications of the constructor circuit can be used in waveform generator, signal multiplier and voltage-mode universal biquadratic filter.

สารบัญ

	หน้า
กิตติกรรมประกาศ	ก
บทคัดย่อภาษาไทย	ข
บทคัดย่อภาษาอังกฤษ	ค
สารบัญ	ง
สารบัญตาราง	ฉ
สารบัญภาพ	ช
บทที่ 1 บทนำ	
1.1 ความเป็นมาและความสำคัญของปัญหา	1
1.2 วัตถุประสงค์ของวิทยานิพนธ์	3
1.3 ประโยชน์ที่ได้รับ	3
1.4 ขอบเขตการศึกษาค้นคว้า	3
1.5 รายละเอียดของวิทยานิพนธ์	4
บทที่ 2 ทฤษฎีที่เกี่ยวข้อง	
2.1 วงจรขยายสัญญาณ	6
2.2 ทรานซิสเตอร์แบบซีมอส	10
2.3 วงจรสะท้อนกระแสแบบใช้ทรานซิสเตอร์แบบซีมอส	16
2.4 วงจรขยายสัญญาณผลต่างแบบซีมอส	25
2.5 วงจรทรานส์คอนดัคเตอร์	29
2.6 วงจรทรานส์คอนดัคเตอร์แบบซีมอสที่ได้มีการนำเสนอแล้ว	31
2.7 วงจรยกกำลังสองสัญญาณกระแส	39
บทที่ 3 การสังเคราะห์และออกแบบวงจรทรานส์คอนดัคเตอร์	
3.1 การสังเคราะห์และออกแบบวงจรซีมอสโอทีเอแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น	41
3.2 การวิเคราะห์สมรรถนะของวงจรซีมอสโอทีเอแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น	48
3.3 การวิเคราะห์หาช่วงความถี่ปฏิบัติงานของวงจรทรานคอนดัคเตอร์	51
3.4 บทสรุป	55
บทที่ 4 การประยุกต์ใช้งาน	
4.1 วงจรกำเนิดสัญญาณซายน์	56
4.2 วงจรคูณสัญญาณกระแส	60
4.3 วงจรกรองความถี่แบบหลายหน้าที่	62
4.4 บทสรุป	64

สารบัญ (ต่อ)

	หน้า
บทที่ 5 ผลการวิจัย และการทดสอบ	
5.1 ผลการทดสอบและการวิเคราะห์คุณสมบัติของวงจรที่นำเสนอ	65
5.2 ผลการจำลองการทำงานของการประยุกต์ใช้งานวงจรที่นำเสนอ	71
5.3 บทสรุป	81
บทที่ 6 บทสรุปและข้อเสนอแนะ	
6.1 บทสรุปของงานวิจัย	82
6.2 ข้อเสนอแนะ	83
เอกสารอ้างอิง	**84**
ภาคผนวก	
ก ค่าพารามิเตอร์ของซีมอสทรานซิสเตอร์ TSMC 0.35μm level 3 ที่ใช้ในการจำลองการทำงานด้วยโปรแกรม PSPICE	89
ข ผลงานวิจัยที่ได้ตีพิมพ์	92
ประวัติผู้วิจัย	**114**

สารบัญตาราง

ตารางที่		หน้า
4.1	ค่าแรงดันอินพุตเพื่อให้ได้ผลตอบสนองของแต่ละฟังก์ชัน	63
5.1	ขนาดของทรานซิสเตอร์แบบซีมอส	65
5.2	ค่าแรงดันอินพุตเพื่อให้ได้ผลตอบสนองของแต่ละฟังก์ชัน	77

สารบัญภาพ

ภาพที่		หน้า
2.1	แบบจำลองวงจรขยายสัญญาณแรงดัน	6
2.2	วงจรเทียบเคียงของออปแอมป์ในอุดมคติ	7
2.3	แบบจำลองวงจรขยายสัญญาณกระแส	7
2.4	วงจรเทียบเคียงของนอร์ตันแอมป์ปริไฟร์เออร์	8
2.5	แบบจำลองวงจรขยายทรานส์คอนดัคแตนซ์	8
2.6	แบบจำลองวงจรขยายทรานส์รีซีสแตนซ์	9
2.7	(ก) ทรานซิสเตอร์แบบซีมอส ชนิด N และ (ข) ทรานซิสเตอร์แบบซีมอส ชนิด P	10
2.8	กราฟการทำงานของทรานซิสเตอร์แบบซีมอส	11
2.9	แบบจำลองของทรานซิสเตอร์แบบซีมอสสำหรับสัญญาณขนาดเล็กที่ความถี่ต่ำ	13
2.10	แบบจำลองของทรานซิสเตอร์แบบซีมอสสำหรับสัญญาณขนาดเล็กที่ฐานรองไม่ได้ต่ออยู่กับขาซอร์ส	13
2.11	แบบจำลองของทรานซิสเตอร์แบบซีมอสสำหรับสัญญาณขนาดเล็กที่ความถี่สูง	14
2.12	การหาอัตราการขยายกระแสขณะที่ปิดวงจร	16
2.13	วงจรสะท้อนกระแสแบบพื้นฐานที่ใช้ทรานซิสเตอร์แบบซีมอสชนิดเอ็นแชนแนล	17
2.14	คุณสมบัติที่เอาต์พุตของวงจรในภาพที่ 2.13 ในกรณีที่ทรานซิสเตอร์ M_1 และ M_2 สมพงษ์กัน	19
2.15	(ก) แบบจำลองสัญญาณขนาดเล็กของทรานซิสเตอร์ M_1 (ข) วงจรสมมูลย์ของแบบจำลองสัญญาณขนาดเล็กของทรานซิสเตอร์ M_1	19
2.16	(ก) แบบจำลองสัญญาณขนาดเล็กของวงจรสะท้อนกระแสที่ความถี่ต่ำ (ข) วงจรสมมูลของแบบจำลองสัญญาณขนาดเล็กที่ความถี่ต่ำของรูป (ก)	20
2.17	วงจรสมมูลย์ของสัญญาณขนาดเล็กของวงจรสะท้อนกระแสที่ความถี่สูง	21
2.18	วงจรสะท้อนกระแสวินสัน	22
2.19	กราฟกระแสเอาต์พุตเทียบกับแรงดันเอาต์พุต	23
2.20	วงจรสะท้อนกระแสแคสโคด	24
2.21	กราฟกระแสเอาต์พุตเทียบกับแรงดันเอาต์พุต	24
2.22	วงจรขยายความนำถ่ายโอนชนิดใช้ทรานซิสเตอร์แบบซีมอสอย่างง่าย	25
2.23	กราฟความสัมพันธ์ของกระแสเอาต์พุตที่เป็นฟังก์ชั่นของแรงดันผลต่างของอินพุต	26
2.24	วงจรสมบูรณ์ของโอทีเอที่มีโครงสร้างเป็นทรานซิสเตอร์แบบซีมอส	28
2.25	การทำให้เป็นเชิงเส้นด้วยการลดทอนซร์อส	28
2.26	วงจรขยายผลต่างแบบลดทอนซร์อสปลายคู่สองด้านที่ใช้ตัวต้านทานลดทอน (ก) ใช้ตัวต้านทานลดทอนสองตัว (ข) ใช้ตัวต้านทานลดทอนหนึ่งตัว	29
2.27	(ก) วงจรสมมูลทางอุดมคติของโอทีเอ (ข) สัญลักษณ์ของโอทีเอ	39

สารบัญภาพ (ต่อ)

ภาพที่		หน้า
2.28	วงจรทรานส์คอนดัคเตอร์ที่ควบคุม ด้วยแรงดัน	31
2.29	วงจรทรานส์คอนดัคเตอร์ที่ควบคุม ด้วยกระแส	32
2.30	วงจร EOTA ที่ออกแบบโดยวงจรทรานส์คอนดัคเตอร์แบบสมดุลจำนวน 3 ตัว	34
2.31	วงจร BOTA	35
2.32	วงจรทรานส์คอนดัคเตอร์ที่ปรับค่า g_m ได้อย่างเชิงเส้น	37
2.33	วงจรยกกำลังสองสัญญาณกระแส	39
3.1	บล็อกไดอะแกรมของวงจรวงจรทรานส์คอนดัคเตอร์แบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น	41
3.2	โครงสร้างของวงจรทรานคอนดัคเตอร์ที่มีช่วงแรงดันอินพุตกว้าง	43
3.3	โครงสร้างของวงจรยกกำลังสองสัญญาณกระแส	46
3.4	โครงสร้างของวงจรซีมอสโอทีเอแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น	48
3.5	โครงสร้างการหาค่าแรงดันโหมดร่วมได้สูงสุด	50
3.6	วงจรทรานคอนดัคเตอร์ในการวิเคราะห์หาช่วงความถี่ปฏิบัติงาน	52
4.1	บล็อกไดอะแกรมของวงจรกำเนิดสัญญาณ	56
4.2	โครงสร้างของวงจรกำเนิดสัญญาณ	57
4.3	โครงสร้างของวงจรคูณสัญญาณกระแสแบบแอนะล็อก	60
4.4	โครงสร้างของวงจรกรองความถี่แบบหลายหน้าที่	62
5.1	คุณสมบัติด้านแรงดันอินพุตของวงจร	66
5.2	แรงดันอินพุตออฟเซ็ตของวงจร	67
5.3	อัตราขยายทรานส์คอนดัคแตนซ์ของวงจร	68
5.4	อัตราขยายทรานส์คอนดัคแตนซ์อย่างเป็นเชิงเส้น	68
5.5	ช่วงความถี่ปฏิบัติงานของวงจร	70
5.6	อัตรามาร์จิ้น และเฟสมาร์จิ้นของวงจร	71
5.7	สัญญาณเอาต์พุตของวงจรสภาวะเริ่มต้น	72
5.8	สัญญาณเอาต์พุตของวงจรสภาวะอยู่ตัว	73
5.9	สเปกตรัมของสัญญาณที่ความถี่ 600kHz	73
5.10	สัญญาณความถี่เอาต์พุตของวงจรเมื่อใช้ค่าตัวเก็บประจุ $5nF$	74
5.11	สัญญาณความถี่เอาต์พุตของวงจรเมื่อใช้ค่าตัวเก็บประจุ $50pF$	74
5.12	สัญญาณความถี่เอาต์พุตของวงจรเมื่อใช้ค่าตัวเก็บประจุ $500pF$	75
5.13	สัญญาณความถี่เอาต์พุตของวงจรเมื่อใช้ค่าตัวเก็บประจุ $5nF$ $50pF$ และ $500pF$	75
5.14	สัญญาณเอาต์พุตของวงจรคูณสัญญาณกระแสแบบแอนะล็อก	76
5.15	คุณสมบัติของสัญญาณกระแสเอาต์พุตของวงจรคูณสัญญาณกระแสแบบแอนะล็อก	77

สารบัญภาพ (ต่อ)

ภาพที่		หน้า
5.16	ผลตอบสนองของฟังก์ชันกรองแบบแถบความถี่ผ่าน	79
5.17	ผลตอบสนองของฟังก์ชันกรองแบบความถี่สูงผ่าน	79
5.18	ผลตอบสนองของฟังก์ชันกรองแบบความถี่ต่ำผ่าน	79
5.19	ผลตอบสนองของฟังก์ชันกรองแบบแถบความถี่หยุด	80
5.20	ผลตอบสนองของฟังก์ชันกรองแบบทุกความถี่ผ่าน	80
5.21	ผลตอบสนองของฟังก์ชันกรองแถบความถี่ผ่านเมื่อเปลี่ยนค่ากระแสไบอัส	81

บทที่ 1
บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ในอดีตที่ผ่านมาในการออกแบบวงจรอิเล็กทรอนิกส์ มักจะใช้อุปกรณ์พาสซีพร่วมกันกับอุปกรณ์แอคทีฟ โดยอุปกรณ์แอคทีฟในโหมดแรงดันที่ได้รับความนิยมได้แก่ออปแอมป์ จะเห็นได้ว่าออปแอมป์มีข้อด้อยหลายประการ เช่น แบนด์วิธแคบ อัตราสลูว์ต่ำ ดึงพลังงานสูง เป็นต้น ในทศวรรษที่ผ่านมามีความพยายามที่จะลดแรงดันไฟเลี้ยงในวงจรอิเล็กทรอนิกส์ เนื่องจากความต้องการที่นำมาใช้กับอุปกรณ์ที่ใช้พลังงานต่ำ เช่น อุปกรณ์สื่อสารแบบไร้สาย เป็นต้น ดังนั้นจึงมีการใช้เทคนิคการทำงานในโหมดกระแส (current-mode) ซึ่งมีข้อดีหลายประการ ได้แก่ มีช่วงพิสัยพลวัติกว้าง (dynamic range) มีแบนด์วิธกว้างและดึงกำลังงานต่ำ [1] โดยที่อุปกรณ์ในโหมดกระแสที่ได้รับความนิยม ได้แก่ วงจรทรานส์คอนดัคเตอร์ หรือ โอทีเอ (OTA: the operational transconductance amplifier) ซึ่งเป็นวงจรที่แปลงสัญญาณแรงดันเป็นสัญญาณกระแส สามารถประยุกต์ใช้สำหรับการออกแบบวงจรอิเล็กทรอนิกส์แบบแอนะล็อก เช่น วงจรปรับอัตราการขยาย (automatic gain control circuit) [2], วงจรคูณสัญญาณแบบแอนะล็อก (analog multiplier circuits) [3] วงจรกำเนิดสัญญาณรูปซายน์ (sinusoidal oscillator circuit) [4, 5] วงจรกรองความถี่แบบแอคทีฟ (active filter circuit) [6] และวงจรถอดรากกำลังสอง (square-rooters circuit) [7] เป็นต้น ถ้าหากสามารถออกแบบให้วงจรทรานส์คอนดัคเตอร์ มีคุณสมบัติที่ค่าอัตราการขยายทรานส์คอนดัคแตนซ์ สามารถปรับค่าได้อย่างเป็นเชิงเส้นด้วยวิธีอิเล็กทรอนิกส์ โดยการควบคุมด้วยกระแส หรือควบคุมด้วยแรงดันไฟฟ้า วงจรทรานส์คอนดัคเตอร์นี้จะสามารถนำไปประยุกต์ใช้งานได้กว้างขวางมากยิ่งขึ้น วงจรทรานส์คอนดัคเตอร์แบบเชิงเส้นที่ออกแบบโดยใช้ไบโพลาร์ทรานซิสเตอร์ [8] เป็นอุปกรณ์พื้นฐานหลักที่มีความสำคัญอีกตัวหนึ่ง มีการนำไปใช้ประโยชน์กันอย่างกว้างขวาง การออกแบบวงจรด้านแอนะล็อก อย่างไรก็ตามวงจรทรานส์คอนดัคเตอร์ที่เป็นโครงสร้างไบโพลาร์ทรานซิสเตอร์ยังมีข้อด้อย คือ วงจรแบบไบโพลาร์เทคโนโลยีจะมีขนาดที่ใหญ่กว่าวงจรแบบซีมอสเทคโนโลยี (CMOS technology) มาก จึงมีราคาแพงซึ่งต้องใช้เนื้อที่สารกึ่งตัวตัวนำมากกว่าวงจรแบบซีมอสเทคโนโลยี ที่มีขนาดเล็ก ใช้เนื้อที่สารกึ่งตัวนำน้อยกว่าในการออกแบบวงจรรวม และในปัจจุบันนี้เทคโนโลยีใน การสร้างวงจรรวมในอุตสาหกรรมส่วนใหญ่เป็นแบบซีมอสเทคโนโลยี ซึ่งมีข้อดี คือ ซีมอสเทคโนโลยีสามารถสร้างวงจรแอนะล็อกและดิจิตัลบนสารกึ่งตัวนำชิ้นเดียวกันได้ ทำให้ขนาดของระบบวงจรอิเล็กทรอนิกส์เล็กลงได้มาก อย่างไรก็ตามซีมอสเทคโนโลยียังมีข้อจำกัดที่สำคัญ เมื่อนำทรานซิสเตอร์แบบซีมอสมาออกแบบเป็นวงจรเชิงเส้น เนื่องจากการทำงานของทรานซิสเตอร์แบบซีมอสสามารถประมาณการได้เป็นแบบฟังก์ชั้นของสมการกำลังสอง ซึ่งเป็นสมการไม่เป็นเชิงเส้น ดังนั้นวงจรทรานส์คอนดัคเตอร์ที่ออกแบบโดยใช้ทรานซิสเตอร์แบบซีมอส ค่าของอัตราการขยายทรานส์คอนดัคแตนซ์ของวงจรขยายสัญญาณต่าง (differential amplifier) จะอยู่ในเทอมของรากที่สอง ของกระแสดีซีไบอัส I_B นั่นคือ ค่าขยายนี้สามารถปรับค่าได้ด้วยกระแส I_B แต่มีสัมพันธ์แบบไม่เป็นเชิงเส้น นอกจากนี้ยังมีการออกแบบวงจรทรานส์คอนดัคเตอร์

แบบซีมอสที่ให้ค่าอัตราการขยายทรานส์คอนดัคแตนซ์ที่เป็นเชิงเส้นที่สามารถปรับค่าอัตราการขยายทรานส์คอนดัคแตนซ์ด้วยการปรับแรงดันควบคุม (voltage control) [9-10] แต่มีข้อจำกัดคือ มีช่วงการปรับค่าได้อย่างเป็นเชิงเส้นไม่กว้าง และไม่เหมาะสมกับวงจรแบบที่ใช้แรงดันไฟเลี้ยงต่ำ (low voltage) นอกจากนี้ยังมีการออกแบบวงจรทรานคอนดัคเตอร์แบบซีมอสที่ให้ค่าอัตราการขยายทรานส์คอนดัคแตนซ์ที่เป็นเชิงเส้นแบบควบคุมด้วยกระแสดีซี โดยอาศัยคุณสมบัติของมอสที่ทำงานในช่วง weak inversion แต่วงจรยังมีข้อด้อย ที่มีช่วงปรับค่าได้ไม่กว้างนัก เนื่องจากมอสทำงานในช่วง weak inversion [12]

เมื่อไม่นานมานี้มีผู้นำเสนอวงจรทรานส์คอนดัคเตอร์ที่ปรับค่าขยายได้ด้วยอิเล็กทรอนิกส์ที่มีชื่อว่า วงจร EOTA (electronically tunable operational transconductance amplifiers) [13-14] เป็นวงจรที่ออกแบบโดยต่อวงจรโอทีเอแบบคาสเคด โดยอาศัยคุณสมบัติของมอสทรานซิสเตอร์ที่ทำงานในช่วงอิ่มตัว และใช้เทคนิคการสร้างสมการยกกำลังสองทำให้ค่าอัตราขยายทรานส์คอนดัค-แตนซ์ของวงจรที่เป็นเชิงเส้นเกิดขึ้นโดยฟังก์ชันที่เป็นเชิงเส้นที่ขึ้นกับค่ากระแสไบอัสภายนอก อย่างไรก็ตามวงจร EOTA ที่กล่าวมาข้างต้น ออกแบบโดยใช้โอทีเอแบบซีมอส 3 ตัวต่อพ่วงกันเป็นหลัก จึงมีความซับซ้อนและมีขนาดใหญ่กินเนื้อที่สารกึ่งตัวนำมาก นอกจากนี้ยังมีผู้นำเสนอวงจรทรานส์-คอนดัคเตอร์ที่ปรับค่าขยายได้ด้วยอิเล็กทรอนิกส์ที่มีชื่อว่า วงจร BOTA (a balanced output operational transconductance amplifier OTA) [15] เป็นวงจรที่ออกแบบให้ค่าอัตราขยาย ทรานส์คอนดัคแตนซ์สามารถปรับค่าขยายได้อย่างเชิงเส้น อย่างไรก็ตามวงจร BOTA ที่นำเสนอที่มีช่วงปรับค่าแรงดันอินพุทได้ไม่กว้างนัก และเมื่อไม่นานมานี้ยังมีการออกแบบวงจรทรานส์คอนดัค-เตอร์ที่มีชื่อว่า a CMOS OTA and Implementation [16] ที่ปรับค่าขยายได้ด้วยอิเล็กทรอนิกส์ โดยใช้แรงดันไฟเลี้ยงต่ำ และบริโภคกำลังงานต่ำ แต่ยังมีข้อด้อย คือไม่สามารถปรับค่าอัตราขยาย ทรานคอนดัคแตนซ์ได้อย่างเชิงเส้น และมีช่วงปรับค่าแรงดันอินพุตได้แคบ นอกจากนี้เมื่อปีที่ผ่านมามีการนำเสนอวงจร ทรานส์คอนดัคเตอร์ที่มีชื่อว่า a 0.35-V bulk-driven self-biased OTA with rail-to-rail input range in 65 nm CMOS [17] แต่วงจรที่นำเสนอยังมีข้อด้อย คือมีอัตราการขยายต่ำ และมีช่วงปรับค่าแรงดันอินพุตได้แคบ

ดังนั้น งานวิจัยนี้จึงได้นำเสนอการออกแบบวงจรทรานส์คอนดัคเตอร์แบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น ที่ออกแบบให้ค่าอัตราขยายทรานส์คอนดัคแตนซ์สามารถปรับค่าขยายได้อย่างเชิงเส้นด้วยวิธีอิเล็กทรอนิกส์ โดยออกแบบให้ส่วนของกระแสดีซีไบอัสของคู่ผลต่าง (differential pair) อยู่ในเทอมของ I_B^2 นั้นคือต้องอาศัยการทำงานของวงจรยกกำลังสองของสัญญาณกระแส (current squarer) และปรับค่าช่วงแรงดันอินพุทได้กว้าง โดยออกแบบทรานส์-คอนดัคเตอร์แบบลดทอนซอร์ส (source degeneration) ซึ่งเป็นเทคนิคการป้อนกลับแบบลบ (negative feedback) ที่ช่วยให้การเปลี่ยนแปลงแรงดันเป็นกระแสมีความเป็นเชิงเส้นมากขึ้น เนื่องจากแรงดันที่ตกคร่อมตัวต้านทานแบบแอคทีฟ R_S จะทำให้แรงดัน V_{gs} มีการเปลี่ยนแปลงระดับขึ้นลงน้อยลงส่งผลให้การแปลงแรงดันเป็นกระแสมีความเป็นเชิงเส้นมากขึ้น และช่วงแรงดันอินพุทได้กว้าง นอกจากนี้วงจรที่นำเสนอสามารถทำงานที่แรงดันไฟฟ้าต่ำมีอัตราการบริโภคกำลังต่ำ และสามารถตอบสนองความถี่ได้กว้าง จึงเหมาะสมที่จะนำไปพัฒนาในการออกแบบวงจรรวม

1.2 วัตถุประสงค์ของวิทยานิพนธ์

1.2.1 เพื่อสังเคราะห์และออกแบบวงจรทรานส์คอนดัคเตอร์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าอัตราขยายทรานส์คอนดัคแตนซ์ได้อย่างเชิงเส้นด้วยกระแสไบอัสจากภายนอก และปรับค่าช่วงแรงดันอินพุทได้กว้าง

1.2.2 เพื่อออกแบบวงจรประยุกต์ใช้งานของวงจรทรานส์คอนดัคเตอร์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าอัตราขยายทรานส์คอนดัคแตนซ์ได้อย่างเชิงเส้นด้วยกระแสไบอัสจากภายนอก ดังนี้คือ วงจรกำเนิดสัญญาณ วงจรคูณสัญญาณ และวงจรกรองความถี่แบบหลายหน้าที่

1.3 ประโยชน์ที่ได้รับ

1.3.1 วงจรทรานส์คอนดัคเตอร์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้นด้วยกระแสไบอัสจากภายนอก จึงทำให้วงจรที่ออกแบบสามารถป้อนอินพุตได้ช่วงกว้างขึ้น มีช่วงความถี่ปฏิบัติงานกว้างและปรับค่าอัตราขยายทรานคอนดัคแตนซ์ได้อย่างเชิงเส้นด้วยกระแสไบอัสจากภายนอก

1.3.2 วงจรทรานส์คอนดัคเตอร์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้นด้วยกระแสไบอัสจากภายนอก มีค่าการบริโภคพลังงานต่ำ และแรงดันไฟฟ้าต่ำ

1.3.3 ผลงานวิจัยสามารถตีพิมพ์เผยแพร่ในการประชุมวิชาการระดับนานาชาติ จำนวน 1 บทความ และได้รับการตีพิมพ์ในวารสารวิชาการระดับนานาชาติในฐานข้อมูล Scopus จำนวน 1 บทความ ดังนี้

1.3.3.1 การประชุมวิชาการระดับนานาชาติ จำนวน 1 บทความ คือ

· Danupat Duangmalai and Khanittha Keawdang “A linear tunable wide input range CMOS OTA”, IEEE TENCON-2014, P.157. Thailand: Bangkok, October 22-25, 2014

1.3.3.2 วารสารวิชาการระดับนานาชาติ จำนวน 1 บทความ คือ

Danupat Duangmalai and Khanittha Keawdang “A linear tunable wide input range CMOS OTA with application to linear tunable sinusoidal quadrature oscillator”, Journal of circuit systems and computer, 2016

1.4 ขอบเขตการศึกษาค้นคว้า

การสังเคราะห์และการออกแบบวงจรทรานส์คอนดัคเตอร์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้นมีขอบเขตของการวิจัย ดังนี้

1.4.1 วงจรทรานส์คอนดัคเตอร์แบบซีมอสที่ค่าอัตราขยายทรานส์คอนดัคแตนซ์สามารถปรับค่าขยายได้อย่างเชิงเส้นด้วยวิธีอิเล็กทรอนิกส์ด้วยกระแสไบอัสตั้งแต่ช่วง 1nA ถึง 1mA

1.4.2 วงจรทรานส์คอนดัคเตอร์แบบซีมอสที่สามารถปรับค่าช่วงแรงดันอินพุตได้กว้างไม่น้อยกว่า ±0.8V

1.4.3 วงจรทรานส์คอนดัคเตอร์แบบซีมอสออกแบบให้สามารถทำงานได้ที่แรงดันต่ำประมาณ ±1.5V และบริโภคกำลังไฟฟ้าต่ำไม่เกิน 4mW

1.4.4 วงจรทรานส์คอนดัคเตอร์แบบซีมอสมีค่าตอบสนองความถี่ได้กว้าง ไม่น้อยกว่า 1GH_z

1.4.5 ประยุกต์ใช้งานวงจรทรานส์คอนดัคเตอร์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าอัตราขยายทรานส์คอนดัคแตนซ์ได้อย่างเชิงเส้นด้วยกระแสไบอัสจากภายนอก จำนวน 3 วงจร ดังนี้คือ วงจรกำเนิดสัญญาณ วงจรคูณสัญญาณ และวงจรกรองความถี่แบบหลายหน้าที่

1.4.6 พารามิเตอร์ของซีมอสทรานซิสเตอร์ TSMC 0.35μm level 3 จำลองผลการทำงานด้วยโปรแกรม PSPICE

1.5 รายละเอียดของวิทยานิพนธ์

เพื่อให้ง่ายต่อการทำความเข้าใจที่มาของวงจรที่ออกแบบ และขบวนการคิด รวมถึงการนำเสนอวิทยานิพนธ์ฉบับนี้ได้แบ่งเนื้อหาออกเป็น 6 บท และภาคผนวก ซึ่งเรียงลำดับตามแนวคิดในการศึกษาและวิจัยออกแบบวงจรทรานส์คอนดัคเตอร์แบบซีมอสแบบมีช่วงอินพุตกว้าง และสามารถปรับค่าอัตราขยายทรานส์คอนดัคแตนซ์ได้อย่างเชิงเส้นด้วยกระแสไบอัสจากภายนอก โดยในแต่ละบทมีรายละเอียด ดังต่อไปนี้

บทที่ 1 เป็นกล่าวถึงความเป็นมาและความสำคัญของปัญหา วัตถุประสงค์ของงานวิจัย ประโยชน์ที่ได้รับ ขอบเขตของการศึกษาค้นคว้า รวมถึงเนื้อหาโดยสรุปของแต่ละบท

บทที่ 2 อธิบายถึงทฤษฎีที่เกี่ยวข้องกับวงจรทรานส์คอนดัคเตอร์แบบซีมอสแบบมีช่วงอินพุตกว้าง และสามารถปรับค่าอัตราขยายทรานส์คอนดัคแตนซ์ได้อย่างเชิงเส้นด้วยกระแสไบอัสจากภายนอก ที่ได้พัฒนาและออกแบบไว้ทั้งหมด เริ่มต้นจากวงจรสะท้อนกระแสแบบใช้ทรานซิสเตอร์แบบซีมอส วงจรทรานส์คอนดัคเตอร์ วงจรขยายสัญญาณผลต่างแบบซีมอส วงจรทรานส์คอนดัคเตอร์แบบซีมอสที่ที่ได้มีการนำเสนอมาแล้ว วงจรยกกำลังสองสัญญาณกระแส และบทสรุปเกี่ยวกับข้อดี และข้อกำจัดของวงจรทรานส์คอนดัคเตอร์แบบซีมอสที่ได้มีการนำเสนอมาแล้ว

บทที่ 3 เสนอการออกแบบวงจรทรานส์คอนดัคเตอร์แบบซีมอสแบบมีช่วงอินพุตกว้าง และสามารถปรับค่าอัตราขยายทรานส์คอนดัคแตนซ์ได้อย่างเชิงเส้นด้วยกระแสไบอัสจากภายนอก การทำงานของวงจร และการวิเคราะห์สมรรถนะของวงจรที่นำเสนอ

บทที่ 4 การประยุกต์ใช้งานที่ออกแบบโดยวงจรทรานส์คอนดัคเตอร์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น ด้วยโปรแกรม PSPICE ที่ได้ออกแบบไว้ และประยุกต์ใช้งานวงจรทรานส์คอนดัคเตอร์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าอัตราขยายทรานส์คอนดัคแตนซ์ได้อย่างเชิงเส้นด้วยกระแสไบอัสจากภายนอก จำนวน 3 วงจรดังนี้คือ วงจรกำเนิดสัญญาณ วงจรคูณสัญญาณกระแส และวงจรกรองความถี่แบบหลายหน้าที่

บทที่ 5 เสนอคุณสมบัติของวงจรทรานส์คอนดัคเตอร์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น ที่ออกแบบให้ค่าอัตราขยายทรานส์คอนดัคแตนซ์สามารถปรับค่าขยายได้อย่างเชิงเส้นด้วยวิธีอิเล็กทรอนิกส์ โดยวงจรประกอบด้วยสองส่วน ได้แก่ วงจรทรานส์คอนดัคเตอร์แบบซีมอสและวงจรยกกำลังสองของสัญญาณกระแส โดยที่ออกแบบให้ส่วนของกระแสดีซีไบอัสของคู่ผลต่าง อยู่ในเทอมของ I_B^2 นอกจากนี้ยังได้แสดงผลการจำลองการทำงานของวงจรทรานส์คอนดัคเตอร์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น และแสดงผลการจำลองการทำงานของวงจรกำเนิดสัญญาณ วงจรคูณสัญญาณกระแส และวงจรกรองความถี่แบบหลายหน้าที่

บทที่ 6 เป็นส่วนที่กล่าวถึงบทสรุปผลการวิจัยทั้งหมดในวิทยานิพนธ์ฉบับนี้ รวมถึงข้อเสนอแนะที่จะนำไปพัฒนาปรับปรุงหรือประยุกต์ต่อไปในอนาคต

ภาคผนวก ก แสดงบทความวิจัยที่ได้รับการพิจารณาตีพิมพ์เผยแพร่

บทที่ 2
ทฤษฎีที่เกี่ยวข้อง

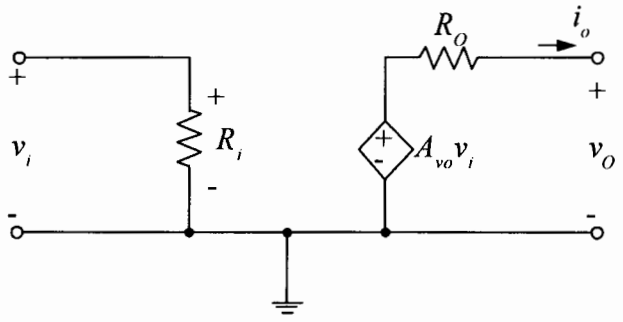
วงจรทรานส์คอนดัคเตอร์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น ที่ออกแบบให้ค่าอัตราขยายทรานส์คอนดัคแตนซ์สามารถปรับค่าขยายได้อย่างเชิงเส้นด้วยวิธีอิเล็กทรอนิกส์ โดยในวิทยานิพนธ์นี้มีวัตถุประสงค์เพื่อออกแบบวงจรทรานส์คอนดัคเตอร์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิง ในบทนี้กล่าวถึงทฤษฎีต่าง ๆ ที่เกี่ยวข้องกับทฤษฎีที่เกี่ยวข้องที่นำมาใช้การออกแบบวงจร และประยุกต์ใช้งานของวงจรที่นำเสนอในวิทยานิพนธ์นี้ ประกอบด้วยเนื้อหาต่าง ๆ ดังต่อไปนี้

2.1 วงจรขยายสัญญาณ
2.2 ทรานซิสเตอร์แบบซีมอส
2.3 วงจรสะท้อนกระแสแบบใช้ทรานซิสเตอร์แบบซีมอส
2.4 วงจรขยายสัญญาณผลต่างแบบซีมอส
2.5 วงจรทรานส์คอนดัคเตอร์
2.6 วงจรทรานส์คอนดัคเตอร์แบบซีมอสที่ได้มีการนำเสนอแล้ว
2.7 วงจรยกกำลังสองสัญญาณกระแส

2.1 วงจรขยายสัญญาณ

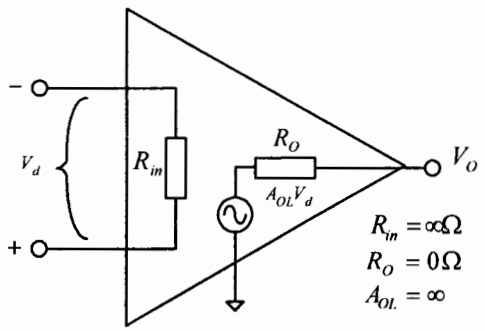
วงจรขยายสัญญาณเป็นวงจรที่มีความสำคัญในการออกแบบระบบอิเล็กทรอนิกส์ ซึ่งชนิดของวงจรขยายสัญญาณนั้นขึ้นอยู่กับรูปแบบของสัญญาณที่วงจรขยายทำหน้าที่ประมวลผล ในทางปฏิบัติสัญญาณอินพุตอาจอยู่ในรูปของสัญญาณแรงดัน หรือสัญญาณกระแส ในขณะที่สัญญาณเอาต์พุตอาจอยู่ในรูปของสัญญาณแรงดัน หรือสัญญาณกระแสเช่นเดียวกัน ดังนั้นวงจรขยายสัญญาณแบ่งออกเป็น 4 ประเภท คือ

2.1.1 วงจรขยายสัญญาณแรงดัน



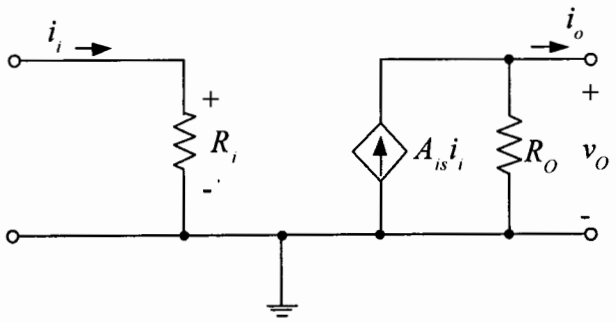
ภาพที่ 2.1 แบบจำลองวงจรขยายสัญญาณแรงดัน

ภาพที่ 2.1 แสดงวงจรเสมือนของวงจรขยายสัญญาณแรงดัน โดยภายในประกอบด้วยส่วนแรกคือส่วนของอินพุต ได้แก่ ตัวต้านทานเสมือนทางอินพุต R_i จะมีค่าสูงเป็นอนันต์ในอุดมคติ แต่ในทางปฏิบัติจะมีค่าประมาณ 10GΩ ซึ่งจะทำให้แรงดันอินพุตมีค่าเท่ากับแรงดันที่ป้อนให้แก่วงจร กล่าวคือ สัญญาณจากแหล่งจ่ายถูกป้อนเข้าสู่วงจรขยายทั้งหมด และสัญญาณแรงดันด้านอินพุต v_i และส่วนที่สองคือส่วนของเอาต์พุต ได้แก่ ตัวต้านทานเสมือนทางเอาต์พุต R_o จะมีค่าต่ำเป็นศูนย์ในอุดมคติ แต่ในทางปฏิบัติจะมีค่าประมาณ 0.01Ω เพื่อให้สัญญาณที่ถูกขยายด้วยแหล่งจ่ายแรงดันแบบไม่อิสระถูกส่งผ่านไปยังโหลดได้เต็มที่ และแหล่งจ่ายแบบไม่อิสระเป็นแหล่งจ่ายแรงดันมีค่าเท่ากับ $A_{vo}v_{in}$ โดยที่ A_{vo} คือ อัตราขยายแรงดันแบบเปิด มีค่าเท่ากับ $A_{vo} = \frac{v_o}{v_i}$ ซึ่งอุปกรณ์อิเล็กทรอนิกส์ที่มีคุณสมบัติในการขยายสัญญาณแรงดันคือ ออปแอมป์ (op-amp: operational amplifier) ซึ่งบริษัท National semiconductors ผลิตอยู่ในรูปแบบของไอซีเบอร์ LM741 และยังมีหลายบริษัทที่มีการผลิตออปแอมป์เพื่อใช้งาน เช่น บริษัท Motorola ผลิตอยู่ในรูปแบบของไอซีเบอร์ MC741 บริษัท Fairchild ผลิตอยู่ในรูปแบบของไอซีเบอร์ UA741 เป็นต้น วงจรเทียบเคียงของออปแอมป์ในอุดมคติแสดงดังภาพที่ 2.2



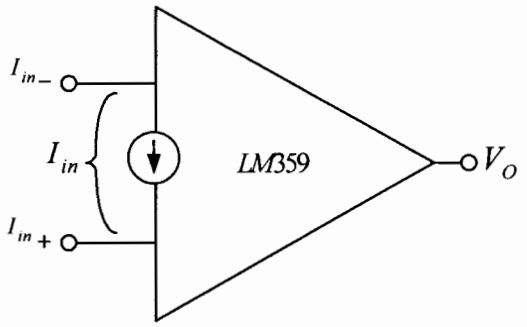
ภาพที่ 2.2 วงจรเทียบเคียงของออปแอมป์ในอุดมคติ

2.1.2 วงจรขยายสัญญาณกระแส



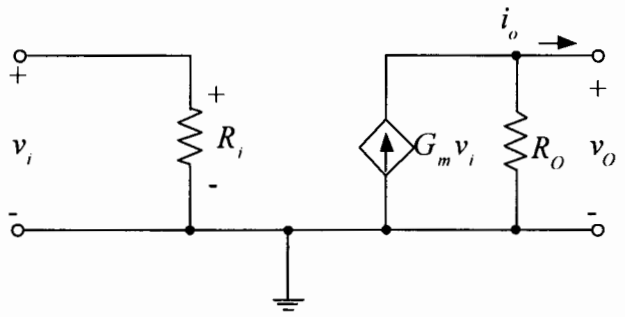
ภาพที่ 2.3 แบบจำลองวงจรขยายสัญญาณกระแส

ภาพที่ 2.3 แสดงวงจรเสมือนของวงจรขยายสัญญาณกระแส โดยภายในประกอบด้วยส่วนแรกคือส่วนของอินพุต ได้แก่ ตัวต้านทานเสมือนทางอินพุต R_i จะมีค่าต่ำเป็นศูนย์ในอุดมคติ แต่ในทางปฏิบัติจะมีค่าประมาณ 0.01Ω และส่วนที่สองคือส่วนของเอาต์พุต ได้แก่ ตัวต้านทานเสมือนทางเอาต์พุต R_o จะมีค่าสูงเป็นอนันต์ในอุดมคติ แต่ในทางปฏิบัติจะมีค่าประมาณ 10GΩ ที่มีค่าสูงเพราะต้องการให้กระแสทางด้านเอาต์พุตไหลไปที่โหลดได้สูงสุด และแหล่งจ่ายแบบไม่อิสระเป็นแหล่งจ่ายกระแสมีค่าเท่ากับ $A_{is}i_i$ โดยที่ A_{is} คืออัตราการขยายกระแสแบบลัดวงจร และ i_i คือกระแสที่ไหลผ่าน R_i ซึ่งอัตราการขยายกระแสมีค่าเท่ากับ $A_{is} = \frac{i_o}{i_i}$ ซึ่งอุปกรณ์อิเล็กทรอนิกส์ที่มีคุณสมบัติในการขยายสัญญาณกระแสคือ นอร์ตันแอมป์ปริไฟร์เออร์ ซึ่งบริษัท National semiconductors ผลิตอยู่ในรูปแบบของไอซีเบอร์ LM359 Dual, High Speed, Programmable, Current Mode (Norton) Amplifiers ดังแสดงดังภาพที่ 2.4



ภาพที่ 2.4 วงจรเทียบเคียงของนอร์ตันแอมป์ปริไฟร์เออร์

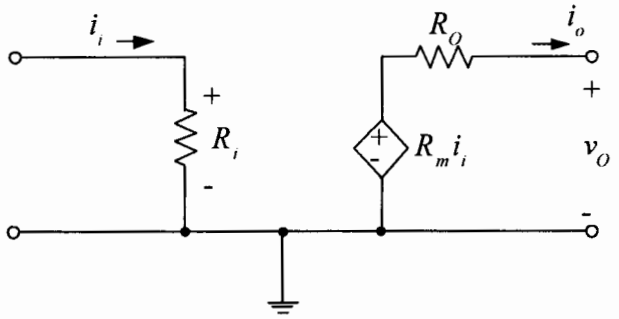
2.1.3 วงจรขยายทรานส์คอนดัคแตนซ์



ภาพที่ 2.5 แบบจำลองวงจรขยายทรานส์คอนดัคแตนซ์

ภาพที่ 2.5 แสดงวงจรเสมือนของวงจรขยายทรานส์คอนดัคแตนซ์ โดยภายในประกอบด้วยส่วนแรกคือส่วนของอินพุต ได้แก่ ตัวต้านทานเสมือนทางอินพุต R_i จะมีค่าสูงเป็นอนันต์ในอุดมคติ แต่ในทางปฏิบัติจะมีค่าประมาณ 10GΩ ซึ่งจะทำให้แรงดันอินพุตมีค่าเท่ากับแรงดันที่ป้อนให้แก่วงจร กล่าวคือ สัญญาณจากแหล่งจ่ายถูกป้อนเข้าสู่วงจรขยายทั้งหมด และสัญญาณแรงดันด้านอินพุต v_i และส่วนที่สองคือส่วนของเอาต์พุต ได้แก่ ตัวต้านทานเสมือนทางเอาต์พุต R_o จะมีค่าสูงเป็นอนันต์ในอุดมคติ แต่ในทางปฏิบัติจะมีค่าประมาณ 10GΩ ที่มีค่าสูงเพราะต้องการให้กระแสทางด้านเอาต์พุตไหลไปที่โหลดได้สูงสุด และแหล่งจ่ายแบบไม่อิสระเป็นแหล่งจ่ายกระแสมีค่าเท่ากับ $G_m v_i$ โดยที่ค่า G_m คือ อัตราขยายทรานส์คอนดัคแตนซ์แบบลัดวงจร มีค่าเท่ากับ $G_m = \frac{i_o}{v_i}$ ซึ่งอุปกรณ์อิเล็กทรอนิกส์ที่มีคุณสมบัติในการขยายทรานส์คอนดัคแตนซ์คือ โอทีเอ (OTA: operational transconductance amplifier) บริษัท National semiconductors ผลิตอยู่ในรูปแบบของไอซีเบอร์ LM3080 โดยในวิทยานิพนธ์เล่มนี้ได้ทำการออกแบบวงจรขยายทรานส์คอนดัคแตนซ์แบบเชิงเส้นที่มีอินพุตกว้าง ในการออกแบบวงจรนั้นได้ใช้คุณสมบัติของวงจรขยาย
ทรานส์คอนดัคแตนซ์ในการออกแบบ ซึ่งรายละเอียดของวงจรจะนำเสนอในบทต่อไป

2.1.4 วงจรขยายทรานส์รีซีสแตนซ์

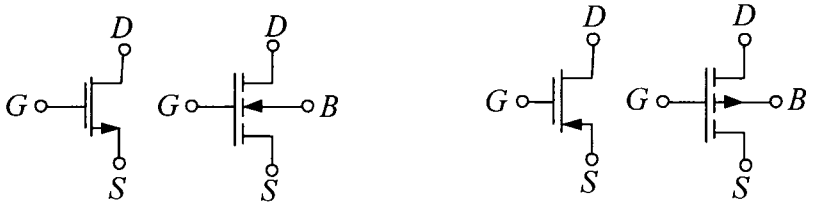


ภาพที่ 2.6 แบบจำลองวงจรขยายทรานส์รีซีสแตนซ์

ภาพที่ 2.6 แสดงวงจรเสมือนของวงจรขยายทรานส์รีซีสแตนซ์ โดยภายในประกอบด้วยส่วนแรกคือส่วนของอินพุต ได้แก่ ตัวต้านทานเสมือนทางอินพุต R_i จะมีค่าต่ำเป็นศูนย์ในอุดมคติ แต่ในทางปฏิบัติจะมีค่าประมาณ 0.01Ω เพื่อให้สัญญาณกระแสด้านอินพุต i_i จากแหล่งจ่ายถูกป้อนเข้าสู่วงจรขยายทั้งหมด และส่วนที่สองคือส่วนของเอาต์พุต ได้แก่ ตัวต้านทานเสมือนทางเอาต์พุต R_o จะมีค่าต่ำเป็นศูนย์ในอุดมคติ แต่ในทางปฏิบัติจะมีค่าประมาณ 0.01Ω และแหล่งจ่ายแบบไม่อิสระเป็นแหล่งจ่ายแรงดันที่มีอัตราการขยายเท่ากับ $R_m i_i$ เมื่อ R_m คือ อัตราขยายทรานส์อิมพีแดนซ์แบบเปิดวงจรมีค่าเท่ากับ $R_m = \frac{v_o}{i_i}$ ซึ่งการใช้งานของวงจรขยายทรานส์รีซีสแตนซ์นั้นได้แก่ วงจร photo detector ออกแบบโดยใช้ออปแอมป์

2.2 ทรานซิสเตอร์แบบซีมอส

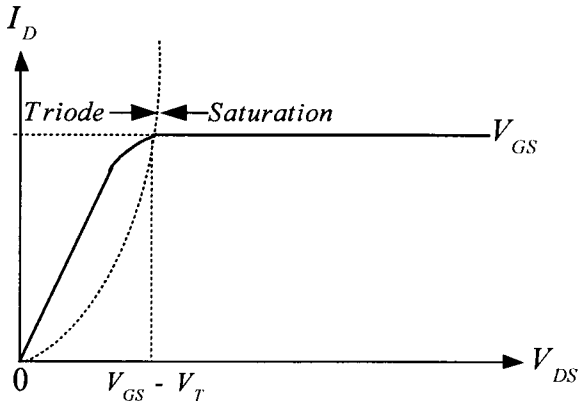
ปัจจุบันการออกแบบไอซีนิยมนำทรานซิสเตอร์มาใช้ในการออกแบบ ได้แก่ ทรานซิสเตอร์แบบบีเจที และทรานซิสเตอร์แบบมอส ซึ่งปัจจุบันพบว่าเทคโนโลยีของทรานซิสเตอร์แบบซีมอสได้เจริญเติบโตขึ้นอย่างมาก จึงนิยมนำทรานซิสเตอร์แบบซีมอสมาใช้ในการออกแบบวงจรรวม ทำให้สามารถบรรจุวงจรที่ถูกออกแบบไว้มีความหนาแน่นมากยิ่งขึ้น เช่น หน่วยความจำ (memory) หน่วยประมวลผล (microprocessor) เป็นต้น โดยทรานซิสเตอร์แบบซีมอส มี 2 ชนิด ได้แก่ แบบ PMOS และ แบบ NMOS มีขาใช้งาน 3 ขา คือ ขาเดรน (D: drain) ขาซอร์ส (S: source) ขาเกต (G: gate) และขาบอดี้ (B: body) โดยทรานซิสเตอร์แบบซีมอส ชนิด N หรือ P สังเกตได้ที่หัวของลูกศรที่ขาซอร์ส ถ้าหัวลูกศรหันเข้าขาเกตแสดงว่าเป็น PMOS และถ้าหากหัวลูกศรหันออกจากขาเกตแสดงว่าเป็น NMOS หรือดูที่ทิศทางของหัวลูกศรที่ขาบอดี้ (body) หรือฐานรอง (substrate) หรือบางทีอาจเรียกว่า bulk โดยถ้าหัวลูกศรหันเข้าหาขาเกตแสดงว่าเป็น NMOS แต่ถ้าหัวลูกศรหันออกจากขาเกตแสดงว่าเป็น PMOS สัญลักษณ์ของทรานซิสเตอร์แบบซีมอส ชนิด N หรือ P ดังแสดงดังภาพที่ 2.7



ภาพที่ 2.7 (ก) ทรานซิสเตอร์แบบซีมอส ชนิด N และ (ข) ทรานซิสเตอร์แบบซีมอส ชนิด P

2.2.1 การทำงานของทรานซิสเตอร์แบบซีมอส

การให้แรงดันไบอัสแก่ทรานซิสเตอร์แบบซีมอสทำได้โดยแรงดันที่ขาเกต V_G จะถูกไบอัสเพื่อควบคุมให้มีการเหนี่ยวนำประจุพาหะชนิดเดียวกับส่วนซอร์สและเดรน นั่นคือการควบคุมให้เกิดแชนแนลระหว่างซอร์สและเดรน ขั้วของซอร์สและฐานรองจะถูกต่อลงกราวด์ และส่วนเดรนได้รับศักดาซึ่งทำให้รอยต่อพี-เอ็น ที่ส่วนเดรนเป็นไบอัสย้อนกลับ (reverse bias) ดังนั้น ในกรณีของเอ็นแชนแนลศักดาที่ขาเกตและเดรนจึงมีค่าเป็นบวก ในทำนองเดียวกันกรณีของพีแชนแนล ศักดาที่ขาเกตและเดรนจึงมีค่าเป็นลบ จากที่ได้กล่าวมาสามารถแบ่งย่านการนำกระแสของทรานซิสเตอร์แบบซีมอสได้ 3 ย่าน คือ ย่านไม่นำกระแส (cut-off region) ย่านไม่อิ่มตัว (triode region) และย่านอิ่มตัว (saturation region) โดยแต่ละช่วงการทำงานจะขึ้นอยู่กับค่า $V_{GS}-V_T$ และค่าของ V_{DS} ดังแสดงดังภาพที่ 2.8



ภาพที่ 2.8 กราฟการทำงานของทรานซิสเตอร์แบบซีมอส

2.2.1.1 ย่านไม่นำกระแส

ถ้าค่า $V_{GS}-V_T$ เป็นศูนย์ หรือมีค่าเป็นค่าลบ ซึ่งเป็นช่วงที่ทรานซิสเตอร์แบบซีมอสไม่ทำงานไม่มีช่องทางเดินของกระแสจะทำตัวเหมือนวงจรเปิด จึงทำให้ทรานซิสเตอร์แบบซีมอสไม่สามารถนำกระแสเดรนได้ จึงเป็นผลให้ทรานซิสเตอร์แบบซีมอสจะอยู่ในช่วงไม่นำกระแส (cut-off region) ตามสมการ

$$I_D = 0 \quad ; \quad |V_{GS}|-|V_T| < 0 \tag{2.1}$$

2.2.1.2 ย่านไม่อิ่มตัว

ถ้า $|V_{GS}|-|V_T| > 0$ และ $0 < |V_{DS}| < |V_{GS}|-|V_T|$ แล้ว เป็นย่านที่แรงดันไบอัสที่ขาเกตและขาซอร์สมีค่ามากกว่าแรงดันขีดเริ่ม $V_{GS} > V_T$ และแรงดันระหว่างขาเดรนกับขาซอร์ส V_{DS} มีค่าน้อยกว่า $V_{GS}-V_T$ แล้วทรานซิสเตอร์แบบซีมอสจะอยู่ในย่านไม่อิ่มตัว (triode region หรือ ohmic region) สามารถหาค่ากระแสเดรนได้ตามสมการ

$$I_D = K'\frac{W}{L}\left[(V_{GS}-V_T)V_{DS}-\frac{V^2_{DS}}{2}\right] \tag{2.2}$$

เมื่อ K' คือ ค่าทรานส์คอนดัคแตนซ์ (transconductance) มีค่าเท่ากับ $\mu_o C_{OX}$

μ_o คือ ค่าความคล่องโฮล หรืออิเล็กตรอน (surface mobility of carrier)

C_{OX} คือ ค่าความจุต่อพื้นที่ของเกตออกไซด์ (capacitance per unit area of the gate oxide)

W คือ ความกว้างของแชนแนล (channel width)

L คือ ความยาวของแชนแนล (channel length)

V_{GS} คือ แรงดันระหว่างขาเกต กับ ซอร์ส

V_T คือ แรงดันขีดเริ่ม (threshold voltage)

V_{DS} คือ แรงดันระหว่างขาเดรน กับ ซอร์ส

I_D คือ กระแสเดรน

สำหรับในกรณีที่แรงดันระหว่างขาเดรนและขาซอร์ส V_{DS} มีค่าน้อยมาก เทอม ของ $V^2{}_{DS}/2$ ในสมการที่ (2.2) สามารถละเลยได้ กระแสเดรน I_D จะมีลักษณะเป็นเชิงเส้น โดยขึ้นอยู่กับแรงดันระหว่างขาเดรนและขาซอร์ส V_{DS} กรณีนี้ ทรานซิสเตอร์แบบซีมอสจะมีลักษณะเหมือนกับตัวต้านทาน โดยมีค่าความต้านทาน R_{eq} ได้ดังสมการที่ (2.3)

$$R_{eq} = \frac{V_{DS}}{I_D} = \frac{1}{K'\frac{W}{L}(V_{GS} - V_T)} \tag{2.3}$$

2.2.1.3 ย่านอิ่มตัว

ถ้า $|V_{GS}| - |V_T| > 0$ และ $|V_{DS}| > |V_{GS}| - |V_T|$ แล้ว เป็นย่านที่แรงดันที่ขาเกตและขาซอร์สมีค่ามากกว่าแรงดันขีดเริ่ม $V_{GS} > V_T$ และแรงดันระหว่างขาเดรนและขาซอร์ส V_{DS} มีค่ามากกว่าหรือเท่ากับ $V_{GS} - V_T$ แล้ว ทรานซิสเตอร์แบบซีมอสจะทำงานอยู่ในช่วงอิ่มตัว (saturation region) สามารถหาค่ากระแสเดรนได้ดังสมการที่ (2.4)

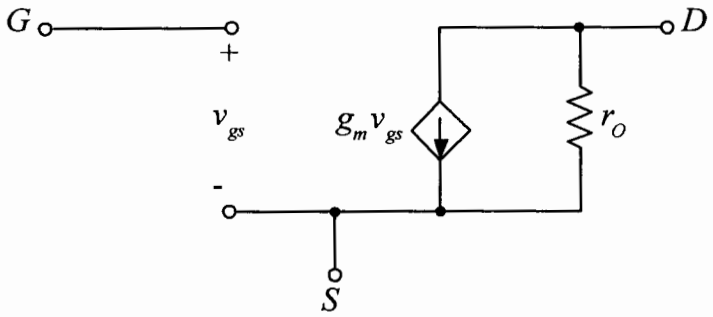
$$I_D = \frac{K'}{2}\frac{W}{L}(V_{GS} - V_T)^2(1 + \lambda V_{DS}) \tag{2.4}$$

เมื่อ λ คือ แชนแนลเลนจ์มอดูเลชั่น (channel length modulation: V^{-1})

ซึ่งในการออกแบบวงจรในวิทยานิพนธ์นี้ได้ออกแบบให้ทรานซิสเตอร์แบบซีมอสทำงานอยู่ในย่านอิ่มตัว จึงใช้หลักการของการทำงานในย่านนี้ในการออกแบบ และวิเคราะห์ซึ่งจะได้กล่าวในบทต่อไป

2.2.2 แบบจำลองของทรานซิสเตอร์แบบซีมอสสำหรับสัญญาณขนาดเล็กที่ความถี่ต่ำ

แบบจำลองของทรานซิสเตอร์แบบซีมอสสำหรับสัญญาณขนาดเล็กที่ความถี่ต่ำ (low frequency small signal equivalent circuit models) แสดงดังภาพที่ 2.9 เป็นการแทนทรานซิสเตอร์แบบซีมอสด้วยวงจรไฟฟ้า เพื่อใช้ในการวิเคราะห์ผลการตอบสนองต่อสัญญาณขนาดเล็ก (small signal analysis)



ภาพที่ 2.9 แบบจำลองของทรานซิสเตอร์แบบซีมอสสำหรับสัญญาณขนาดเล็กที่ความถี่ต่ำ

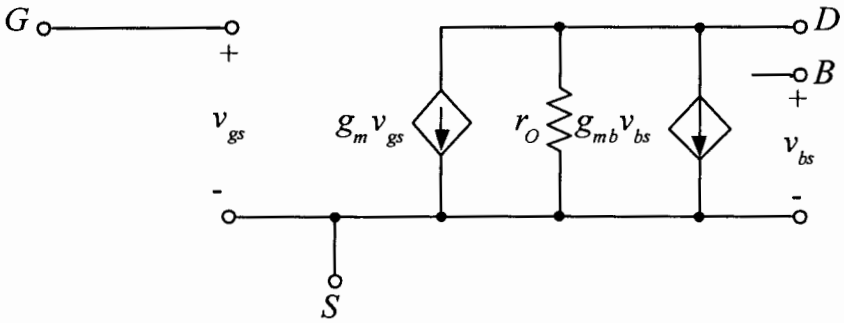
ทรานซิสเตอร์แบบซีมอสเป็นอุปกรณ์ที่มีคุณสมบัติในการเปลี่ยนแรงดันที่เกต-ซอร์ส v_{gs} ให้เป็นกระแสที่เดรน-ซอร์ส $g_m v_{gs}$ ความต้านที่เกตมีค่าสูงมาก ซึ่งในอุดมคติถือว่ามีค่าเป็นอนันต์ ความต้านทานที่ขาเดรน r_o มีค่าข่อนข้างสูง พารามิเตอร์อีกตัวหนึ่งที่ใช้ในการวิเคราะห์สัญญาณขนาดเล็กคือ ค่าทรานส์คอนดัคแตนซ์ g_m สามารถหาค่าได้ดังสมการที่ (2.5)

$$g_m = \frac{\partial I_D}{\partial V_{GS}} = K' \frac{W}{L}(V_{GS} - V_t)^2 (1 + \lambda V_{DS}) \tag{2.5}$$

กรณีที่ทรานซิสเตอร์แบบซีมอสทำงานในย่านอิ่มตัว ค่าของทรานส์คอนดัคแตนซ์จะมีค่าเท่ากับ

$$g_m = K' \frac{W}{L}(V_{GS} - V_t)^2 = \sqrt{2k' \frac{W}{L} I_D} \tag{2.6}$$

แบบจำลองสัญญาณขนาดเล็กที่ได้กล่าวมาแล้วข้างต้นนั้น เป็นแบบจำลองที่ยังไม่ได้มีการพิจารณาถึงผลของฐานรอง body effect ซึ่งเกิดขึ้นเมื่อฐานรองนั้นไม่ได้ต่ออยู่กับขาซอร์ส เมื่อรวมผลของฐานรองทำให้ได้แบบจำลองขนาดเล็กดังภาพที่ 2.10



ภาพที่ 2.10 แบบจำลองของทรานซิสเตอร์แบบซีมอสสำหรับสัญญาณขนาดเล็กที่ฐานรองไม่ได้ต่ออยู่กับขาซอร์ส

จากภาพที่ 2.10 พบว่าสัญญาณขนาดเล็กที่เกิดขึ้นระหว่างฐานรองกับขาซอร์ส v_{bs} จะทำให้เกิดค่าของกระแสเดรนมีค่าเท่ากับ $g_{mb}v_{bs}$ โดยที่ค่าของ g_{mb} คือค่าของทรานส์คอนดัคแตนซ์ที่ฐานรอง body transconductance ของทรานซิสเตอร์แบบซีมอส สามารถหาได้ตามสมการที่ (2.7)

$$g_m = \frac{\partial I_D}{\partial V_{BS}} = -k'\frac{W}{L}(V_{GS} - V_t)(1 + \lambda V_{DS})\frac{\partial V_t}{\partial V_{BS}} \tag{2.7}$$

สำหรับกรณีที่ทรานซิสเตอร์แบบซีมอสทำงานในย่านอิ่มตัว สามารถหาได้ตามสมการที่ (2.8)

$$g_{mb} = \eta g_m \tag{2.8}$$

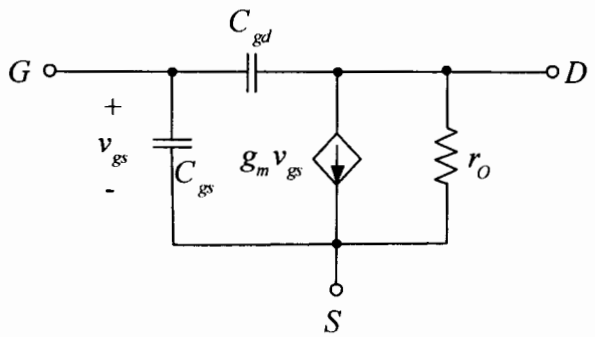
เมื่อ $$\eta = \frac{\gamma}{2\sqrt{2|\phi_F| + V_{SB}}}$$

$$\gamma = \frac{\sqrt{2q\varepsilon_0\varepsilon_{Si}N_{sub}}}{C_{OX}}$$

$$\phi_F = \frac{kT}{q}\ln\left(\frac{N_{sub}}{n_i}\right)$$

2.2.3 แบบจำลองของทรานซิสเตอร์แบบซีมอสสำหรับสัญญาณขนาดเล็กที่ความถี่สูง

แบบจำลองของทรานซิสเตอร์แบบซีมอสสำหรับสัญญาณขนาดเล็กที่ความถี่สูง (high frequency small signal equivalent circuit models) แสดงดังภาพที่ 2.11 จะพิจารณาผลรวมของตัวเก็บประจุแผ่ง ได้แก่ C_{gs}, C_{gd} เป็นค่าตัวเก็บประจุแผ่งบริเวณรอยต่อระหว่างเกตกับซอร์ส และระหว่างเกตกับเดรนตามลำดับ



ภาพที่ 2.11 แบบจำลองของทรานซิสเตอร์แบบซีมอสสำหรับสัญญาณขนาดเล็กที่ความถี่สูง

สำนักวิทยบริการ มหาวิทยาลัยอุบลราชธานี

ค่าตัวเก็บประจุไฟฟ้า C_{gd} ในขณะที่ทรานซิสเตอร์แบบซีมอสทำงานอยู่ในย่านไม่อิ่มตัว จะมีค่าเท่ากันสามารถหาได้ตามสมการที่ (2.9)

$$C_{gs} = C_{gd} = \frac{1}{2} C_{OX} WL \tag{2.9}$$

ในขณะที่ทรานซิสเตอร์แบบซีมอสทำงานอยู่ในย่านอิ่มตัว ช่องทางเดินของกระแสจะหดแคบลง แรงดันที่ขาเดรนจะมีผลเพียงเล็กน้อยต่อช่องทางเดินกระแสและประจุที่ขาเกต ทำให้ค่าของตัวเก็บประจุ C_{gd} มีค่าเท่ากับค่าตัวเก็บประจุแฝงที่ออกไซด์ อันเกิดจากส่วนของเกตซ้อนทับกันกับส่วนของเดรน (overlap capacitor) โดยค่า C_{gd} มีค่าประมาณอยู่ในระดับ 1 ถึง 10 เฟมโตฟารัด

ค่าของตัวเก็บประจุระหว่างขาเกตและขาซอร์ส C_{gs} ในย่านอิ่มตัว สามารถหาได้ตามสมการที่ (2.10)

$$C_{gs} = \frac{\partial Q_T}{\partial V_{gs}} = \frac{2}{3} C_{OX} WL \tag{2.10}$$

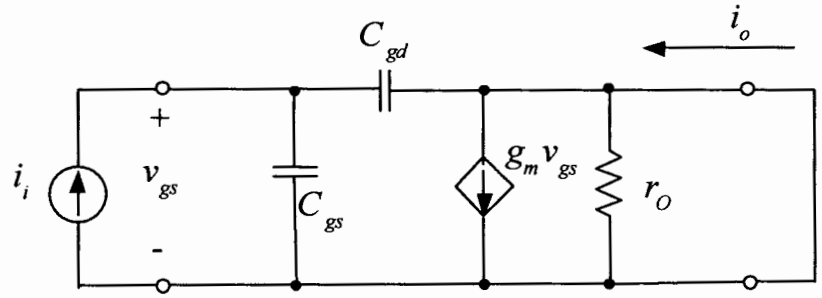
ในทางปฏิบัติค่าตัวเก็บประจุ C_{gs} ยังต้องรวมถึงผลของตัวเก็บประจุไฟฟ้า ที่เกิดจากค่าตัวเก็บประจุออกไซด์แฝง เนื่องจากพื้นที่ของส่วนเกตที่ซ้อนทับกันกับส่วนของเดรนเช่นเดียวกับ C_{gd} ดังที่ได้กล่าวมาแล้ว

คุณสมบัติที่สำคัญอีกประการหนึ่ง สำหรับในการทำงานที่ย่านความถี่สูงของทรานซิสเตอร์แบบซีมอสที่ทำงานเป็นวงจรขยาย คือ ความถี่ที่มีอัตราการขยายเป็นหนึ่ง (unity gain frequency) โดยนิยามว่าเป็นความถี่ที่อัตราขยายของทรานซิสเตอร์แบบซีมอสที่ต่ออยู่ในรูปแบบของวงจรคอมมอนซอร์ส (common source configuration) ขณะปิดวงจรมีค่าเป็นหนึ่งดังภาพที่ 2.12 แสดงแบบจำลองไฮบริด-ไพ (hybrid-π) ของทรานซิสเตอร์แบบซีมอสในลักษณะวงจรคอมมอนซอร์ส พร้อมทั้งกระแสอินพุต i_i และกระแสเอาท์พุต i_o ในการหาอัตราการขยายกระแสขณะที่ปิดวงจรอยู่ จะต้องมีการป้อนแหล่งกำเนิดกระแสอินพุต i_i ที่ขาเข้า ซึ่งจะได้กระแสที่ขาออก i_o สามารถหาได้ตามสมการ

$$i_o = g_m v_{gs} - sC_{gd} v_{gs} \tag{2.11}$$

จากที่กล่าวมาแล้วในข้างต้นค่าของ C_{gd} มีค่าน้อยมาก ทำให้พจน์สุดท้ายในสมการที่ (2.11) มีค่าเข้าใกล้ศูนย์ จะได้สมการของกระแสที่ขาออกใหม่ มีค่าเท่ากับ

$$i_o = g_m v_{gs} \tag{2.12}$$



ภาพที่ 2.12 การหาอัตราการขยายกระแสขณะที่ปิดวงจร

จากภาพที่ 2.12 แสดง v_{gs} ในพจน์ของกระแสขาเข้า i_i สามารถหาได้ตามสมการ

$$v_{gs} = \frac{i_i}{s\left(C_{gs} + C_{gd}\right)} \tag{2.13}$$

จากสมการที่ (2.12) และสมการที่ (2.13) สามารถหาอัตราขยายกระแสขณะปิดวงจร ได้เป็น

$$\frac{i_o}{i_i} = \frac{g_m}{s\left(C_{gs} + C_{gd}\right)} \tag{2.14}$$

จากสมการที่ (2.14) สามารถหาความถี่ที่ทำให้อัตราขยายกระแสมีค่าเป็นหนึ่ง ได้เป็น

$$\omega_T = \frac{g_m}{\left(C_{gs} + C_{gd}\right)} \tag{2.15}$$

จากสมการที่ (2.15) สามารถหาค่าความถี่ f_T ได้เป็น

$$f_T = \frac{1}{2\pi}\omega_T = \frac{g_m}{2\pi\left(C_{gs} + C_{gd}\right)} \tag{2.16}$$

เมื่อ $f_T = \frac{\omega_T}{2\pi}$

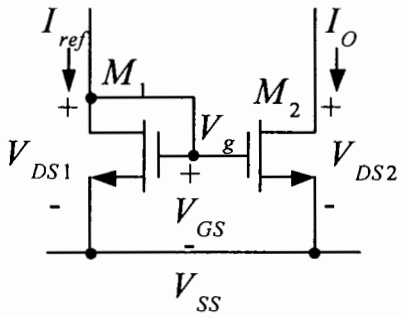
2.3 วงจรสะท้อนกระแสแบบใช้ทรานซิสเตอร์แบบซีมอส

คุณสมบัติทางไฟฟ้าของวงจรสะท้อนกระแส (current mirror) [18] คือ ความต้านทานที่จุดเข้าของสัญญาณมีค่าต่ำ (low input impedance) และมีความต้านทานจุดออกของสัญญาณมีค่าสูง (high output impedance) จากคุณสมบัตินี้จึงทำให้วงจรสะท้อนกระแสถูกนำมาประยุกต์ใช้ในงานต่างๆ เป็นอย่างมาก เช่น ภาคขยายสัญญาณส่วนหน้าของเครื่องมือวัดใช้เป็นภาระของวงจรขยายสัญญาณขนาดเล็กในวงจรรวม และใช้เป็นวงจรส่งผ่านกระแส เป็นต้น โดยทั่วไปแล้วสามารถสร้าง

วงจรสะท้อนกระแสขึ้นมาได้จากทั้งทรานซิสเตอร์แบบไบโพล่าร์ และทรานซิสเตอร์แบบซีมอส แต่ในวิทยานิพนธ์นี้จะกล่าวถึงเฉพาะวงจรสะท้อนกระแสที่สร้างจากทรานซิสเตอร์แบบซีมอสเท่านั้น ซึ่งพบว่าวงจรสะท้อนกระแสเป็นวงจรที่มีความสำคัญวงจรหนึ่ง ในปัจจุบันวงจรสะท้อนกระแสได้ถูกพัฒนาขึ้น แต่ในวิทยานิพนธ์นี้จะกล่าวถึงวงจรสะท้อนกระแสดังต่อไปนี้ คือ วงจรสะท้อนกระแสพื้นฐาน (simple current mirror) วงจรสะท้อนกระแสวิลสัน (wilson current mirror) และวงจรสะท้อนกระแสแคสโคด (cascode current mirror) เนื่องจากเป็นที่นิยมใช้ในการออกแบบวงจรซึ่งแต่ละแบบจะมีคุณสมบัติที่แตกต่างกัน

2.3.1 วงจรสะท้อนกระแสพื้นฐาน

วงจรสะท้อนกระแสพื้นฐาน (simple current mirror) ทำงานโดยอาศัยหลักการคือหากแรงดันไบอัสที่เกต-ซอร์ส ของทรานซิสเตอร์แบบซีมอสที่มีคุณสมบัติเหมือนกันทั้งสองตัวแล้วนั้น กระแสเดรนจะเท่ากันด้วยแสดงดังภาพที่ 2.13



ภาพที่ 2.13 วงจรสะท้อนกระแสแบบพื้นฐานที่ใช้ทรานซิสเตอร์แบบซีมอสชนิดเอ็นแชนแนล

จากภาพที่ 2.13 แสดงวงจรสะท้อนกระแสแบบพื้นฐานชนิดเอ็นแชนแนล (N-channel current mirror) โดยมีกระแสคงที่ I_{ref} เป็นกระแสที่ทางเข้า และกระแส I_o เป็นกระแสที่ทางออก หรือกระแสที่ถูกสะท้อนโดยทรานซิสเตอร์แบบซีมอส M_1 ที่ $V_{DS1}=V_{GS}$ เมื่อสมมุติให้ทรานซิสเตอร์แบบซีมอส M_2 มีค่า $V_{DS2} \geq V_{GS}-V_{TH}$ ดังนั้นทรานซิสเตอร์แบบซีมอส M_2 จะทำงานในช่วงอิ่มตัว มีค่ากระแสเดรนคือ

$$I_D=\frac{k}{2}(V_{GS}-V_{TH})^2(1+\lambda V_{DS});0<(V_{GS}-V_{TH})\leq V_{DS} \qquad (2.17)$$

เมื่อ $K=\mu_n C_{ox}\frac{W}{L}$, λ คือ ความยาวของแชนแนล, μ_n คือ ค่าความคล่องตัวในการเคลื่อนที่ของประจุพาหะ $cm^2/(V.Sec)$, C_{ox} คือ ค่าความจุไฟฟ้าที่เกิดจาก SiO_2 ระหว่างเกทกับช่องทางเดินกระแสต่อหน่วยพื้นที่ (F/m^2) และ $\frac{W}{L}$ คือ ความกว้างและความยาวของช่องทางเดินกระแส ซึ่งจะได้อัตราส่วนของกระแสเอาต์พุต I_o ต่อกระแสที่ทางเข้า I_{ref} ดังนี้

$$\frac{I_O}{I_{ref}} = \left(\frac{W_2 L_1}{L_2 W_1}\right)\left(\frac{V_{GS} - V_{TH2}}{V_{GS} - V_{TH1}}\right)^2 \left(\frac{1+\lambda_2 V_{DS2}}{1+\lambda_1 V_{DS1}}\right)\left(\frac{\mu_{n2} C_{ox2}}{\mu_{n1} C_{ox1}}\right) \quad (2.18)$$

เนื่องจากทรานซิสเตอร์แบบซีมอสทั้งสองตัวเป็นชนิดเดียวกันและมีคุณสมบัติเหมือนกัน โดยในทางทฤษฎีแล้วทรานซิสเตอร์แบบซีมอสทั้งสองตัวจึงมีความสมพงษ์กันทุกประการ ซึ่งจะทำให้ค่าพารามิเตอร์ในเชิงโครงสร้าง (physical parameter) มีค่าที่เท่ากันด้วย ดังนั้นสมการที่ (2.18) สามารถเขียนใหม่ได้ ดังนี้

$$\frac{I_o}{I_{ref}} = \left(\frac{W_2 L_1}{L_2 W_1}\right)\left(\frac{1+\lambda V_{DS2}}{1+\lambda V_{DS1}}\right) \quad (2.19)$$

เมื่อ $V_{DS2} = V_{DS1}$ และทรานซิสเตอร์แบบซีมอสทั้งสองตัวมีความสมพงษ์กัน ค่า λ ก็จะไม่นำมาพิจารณา ทำให้ได้ว่าสมการใหม่คือ

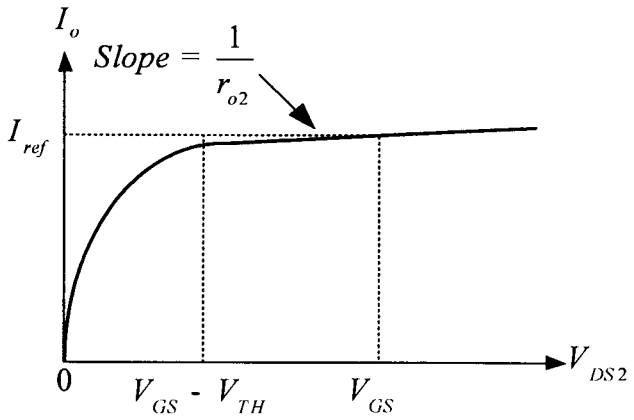
$$\frac{I_O}{I_{ref}} = \frac{L_1 W_2}{W_1 L_2} \quad (2.20)$$

จากสมการที่ (2.20) จะเห็นว่าอัตราส่วน I_o / I_{ref} จะขึ้นอยู่กับค่าความกว้างและความยาวของช่องทางเดินกระแส ซึ่งสามารถที่จะกำหนดค่าเหล่านี้ได้ในขั้นตอนของการออกแบบวงจร หากกำหนดให้ $W_1 / L_1 = W_2 / L_2$ แล้ว จะได้กระแสที่เอาต์พุตเท่ากับกระแสที่อินพุต โดยที่ทรานซิสเตอร์ M_2 จะทำหน้าที่เสมือนเป็นแหล่งจ่ายกระแสคงที่ที่เอาต์พุต

เมื่อทรานซิสเตอร์ M_2 ทำงานอยู่ในช่วงอิ่มตัวจึงจะได้ความสัมพันธ์ตามสมการที่ (2.20) ดังนั้นแรงดัน V_{DS2} ค่าต่ำสุดที่ทำให้วงจรทำงานได้อย่างเหมาะสมคือ

$$V_{DS2} = V_{GS} - V_{TH} \quad (2.21)$$

เมื่อพิจารณาในทางปฏิบัติแล้วนั้นจะมีผลของความยาวของแชนแนล (channel length modulation) เข้ามาเกี่ยวข้องด้วย ซึ่งจะมีผลต่อการเปลี่ยนแปลงการทำงานของแหล่งกำเนิดกระแสคงที่ แต่หากพิจารณาในกรณีที่ทรานซิสเตอร์แบบซีมอสทั้งสองตัวสมพงษ์กันแล้ว กระแสเดรนของทรานซิสเตอร์ M_2 จะเท่ากับกระแสเดรนของทรานซิสเตอร์ M_1 โดยที่ค่าแรงดันเดรน – ซอร์ส ของทรานซิสเตอร์ M_2 เท่ากับแรงดันเดรน-ซอร์ส ของทรานซิสเตอร์ M_1 นั่นคือ $V_{DS2} = V_{GS}$ และเมื่อ V_{DS2} มีค่าเพิ่มมากขึ้น ค่า I_o จะเพิ่มขึ้นตาม ค่าความต้านทานเอาต์พุตของทรานซิสเตอร์ M_2 ที่เพิ่มขึ้นสามารถอธิบายได้จากกราฟในภาพที่ 2.14 เมื่อทรานซิสเตอร์ M_2 ทำงานที่ V_{GS} คงที่ค่าหนึ่งโดยขึ้นอยู่กับกระแส I_{ref} ที่ไหลผ่านทรานซิสเตอร์ M_1

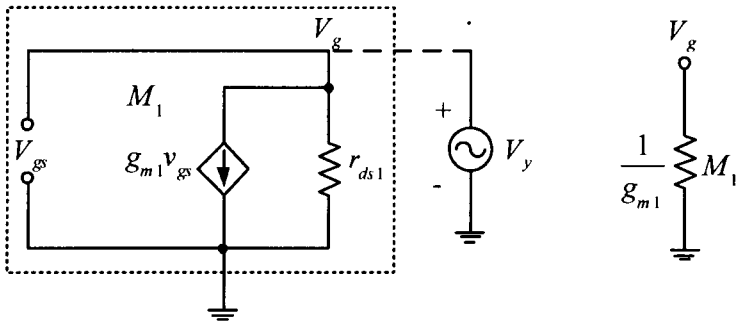


ภาพที่ 2.14 คุณสมบัติที่เอาต์พุตของวงจรในภาพที่ 2.13 ในกรณีที่ทรานซิสเตอร์ M_1 และ M_2 สมพงษ์กัน

จากกราฟ ในภาพที่ 2.14 สามารถหาค่าความต้านทานเอาต์พุต R_o ของวงจร ได้ดังนี้

$$R_o = \frac{\Delta V_{DS2}}{\Delta I_o} = r_{o2} = \frac{V_{A2}}{I_o} = \frac{1}{\lambda I_o} \qquad (2.22)$$

โดย V_{A2} คือ แรงดันจุดเริ่มของ M_2 ซึ่งแปรผันตามค่าความยาวของช่องทางเดินกระแส แบบจำลองสัญญาณขนาดเล็กของทรานซิสเตอร์แบบซีมอส M_1 แสดงดังภาพที่ 2.15 (ก) และวงจรสมมูลย์ของแบบจำลองสัญญาณขนาดเล็กของทรานซิสเตอร์ M_1
แสดงดังภาพที่ 2.15 (ข)



(ก) (ข)

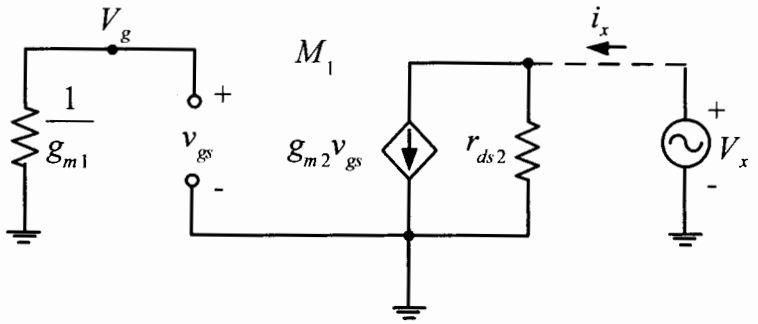
ภาพที่ 2.15 (ก) แบบจำลองสัญญาณขนาดเล็กของทรานซิสเตอร์ M_1 (ข) วงจรสมมูลย์ของแบบจำลองสัญญาณขนาดเล็กของทรานซิสเตอร์ M_1

เมื่อพิจารณาแบบจำลองสัญญาณขนาดเล็กเฉพาะของทรานซิสเตอร์ M_1 ในภาพที่ 2.15 (ก) พบว่าทรานซิสเตอร์ M_1 ถูกต่อเสมือนเป็นไดโอดตัวหนึ่ง I_o ถูกแทนด้วยวงจรเปิด เอาต์พุตรีซีส

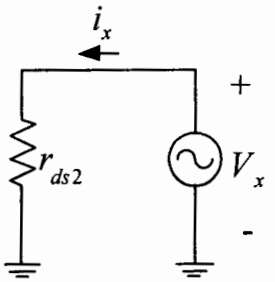
แตนซ์ ของทรานซิสเตอร์ M_1 สามารถหาได้โดยป้อนสัญญาณแรงดันทดสอบ V_y ที่ขั้วต่อ V_g ได้สัญญาณกระแส I_y มีค่าเท่ากับ

$$I_y = \frac{V_y}{r_{ds1}} + g_{m1}v_{gs} = \frac{V_y}{r_{ds1}} + g_{m1}v_y \qquad (2.23)$$

และได้ค่าเอาต์พุตอิมพีแดนซ์ของทรานซิสเตอร์ M_1 เท่ากับ $\frac{1}{g_{m1}} // r_{ds}$ แต่เนื่องจาก $r_{ds1} \gg \frac{1}{g_{m1}}$ ดังนั้นค่าเอาต์พุตอิมพีแดนซ์จึงถูกประมาณว่ามีค่าเท่ากับ $\frac{1}{g_{m1}}$ ดังในภาพที่ 2.15 (ข)



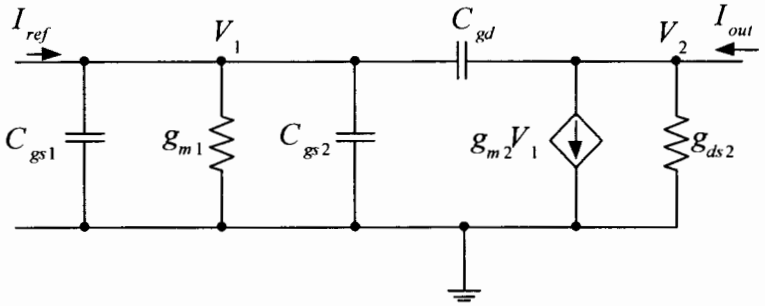
(ก)



(ข)

ภาพที่ 2.16 (ก) แบบจำลองสัญญาณขนาดเล็กของวงจรสะท้อนกระแสที่ความถี่ต่ำ (ข) วงจรสมมูลของแบบจำลองสัญญาณขนาดเล็กที่ความถี่ต่ำของรูป (ก)

จากวงจรสมมูลย์ของทรานซิสเตอร์ M_1 ในภาพที่ 2.16 (ก) เมื่อ V_{gs} ต่อลงกราวนด์จะทำให้ไม่มีกระแสไหลผ่านตัวต้านทาน $1/g_{m1}$ และ $g_{m2}V_{gs}$ เท่ากับศูนย์ จึงได้วงจรสมมูลย์ของแบบจำลองสัญญาณขนาดเล็กดังภาพที่ 2.16 (ข) ค่าเอาต์พุตอิมพีแดนซ์ของสัญญาณขนาดเล็กมีค่าเท่ากับ r_{ds2}



ภาพที่ 2.17 วงจรสมมูลย์ของสัญญาณขนาดเล็กของวงจรสะท้อนกระแสที่ความถี่สูง

จากวงจรในภาพที่ 2.17 สามารถหาฟังก์ชั่นการส่งผ่าน (transfer function) ได้โดยสมมติให้แหล่งกำเนิดคงที่ในภาพที่ 2.13 เท่ากับ I_{ref}

พิจารณาที่โนด V_1

$$I_{ref}(s) = \left(sC_{gs1} + g_{m1} + sC_{gs2}\right)V_1 \tag{2.24}$$

$$V_1 = \frac{I_{ref}(s)}{sC_{gs1} + g_{m1} + sC_{gs2}} \tag{2.25}$$

พิจารณาที่โนด V_2

$$I_{out}(s) = g_{m2}V_1 \tag{2.26}$$

แทนสมการที่ (2.25) ลงในสมการที่ (2.26) จะได้ฟังก์ชั่นส่งผ่านดังนี้

$$\frac{I_{out}(s)}{I_{ref}(s)} = \frac{g_{m2}}{g_{m1} + s\left(C_{gs1} + C_{gs2}\right)} \tag{2.27}$$

หรือ

$$\frac{I_{out}(s)}{I_{ref}(s)} = \frac{g_{m2}}{g_{m1}}\left[\frac{1}{1 + \dfrac{s\left(C_{gs1} + C_{gs2}\right)}{g_{m1}}}\right] \tag{2.28}$$

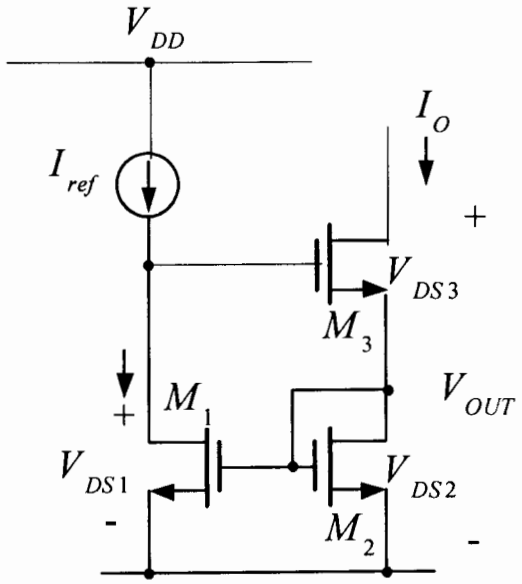
กรณีความถี่ต่ำถึงความถี่ปานกลางจะได้ฟังก์ชั่นส่งผ่านดังนี้

$$\frac{I_{out}}{I_{ref}} = \frac{g_{m2}}{g_{m1}} \tag{2.29}$$

ในวิทยานิพนธ์นี้ได้ออกแบบวงจรที่นำเสนอ โดยใช้วงจรสะท้อนกระแสพื้นฐาน เนื่องจากเป็นวงจรที่ไม่ซับซ้อน และใช้ทรานซิสเตอร์เพียงสองตัวทำให้ประหยัดพื้นที่ในการออกแบบวงจรรวม นอกจากนี้ตัวเก็บประจุแฝงมีจำนวนน้อยทำให้วงจรมีผลตอบสนองความถี่ที่ดีกว่าวงจรสะท้อนกระแสแบบอื่น

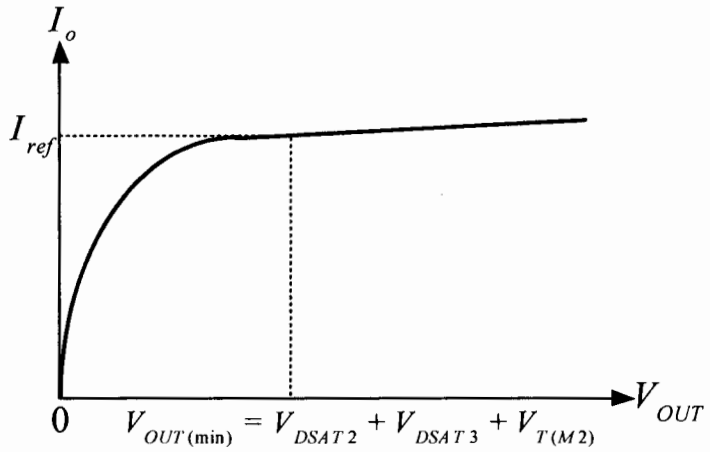
2.3.2 วงจรสะท้อนกระแสวิลสัน

วงจรสะท้อนกระแสวิลสัน (wilson current mirror) แสดงดังภาพที่ 2.16 เป็นวงจรที่มีเอาต์พุตอิมพีแดนซ์สูง วงจรประกอบด้วยทรานซิสเตอร์จำนวน 3 ตัว โดยทรานซิสเตอร์ M_1 เป็นทรานซิสเตอร์ทางอินพุต และทรานซิสเตอร์ M_2, M_3 เป็นทรานซิสเตอร์ทางเอาต์พุต กระแส I_{ref} และกระแส I_o คือกระแสที่ไหลผ่านทรานซิสเตอร์ M_1 และกระแสที่ไหลผ่านทรานซิสเตอร์ M_2, M_3 ตามลำดับ



ภาพที่ 2.18 วงจรสะท้อนกระแสวินสัน

เมื่อพิจารณาจากภาพที่ 2.18 พบว่า $V_{DS1} = V_{GS3} + V_{DS2}$ ส่งผลให้ $V_{DS1} > V_{DS2}$ ดังนั้นการสะท้อนกระแสของวงจรสะท้อนกระแสวิลสันจึงเป็นไปอย่างไม่สมบูรณ์ ซึ่งพิจารณาการสวิงของสัญญาณเอาต์พุต พบว่าแรงดันเอาต์พุตที่ต่ำที่สุดมีค่าเท่ากับ $V_{OUT(\min)} = V_{DSAT2} + V_{DSAT3} + V_{T(M2)}$ ดังแสดงในภาพที่ 2.19

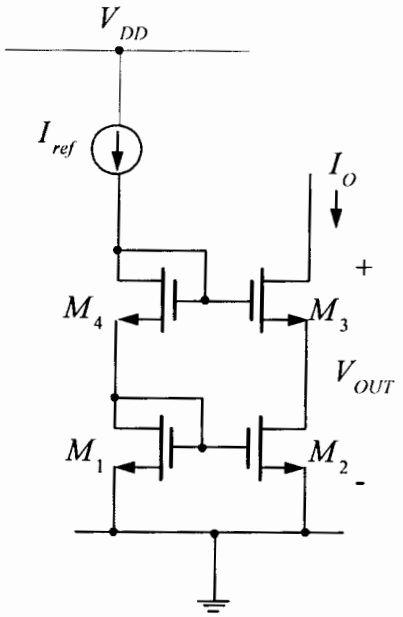


ภาพที่ 2.19 กราฟกระแสเอาต์พุตเทียบกับแรงดันเอาต์พุต

จากภาพที่ 2.19 เป็นกราฟความสัมพันธ์ระหว่างกระแสเอาต์พุต และแรงดันเอาต์พุต สังเกตได้ว่าวงจรสะท้อนกระแสวิลสันเริ่มไม่ทำงานเมื่อแรงดันเอาต์พุตมีค่าเท่ากับ $V_{OUT(\min)}$ ดังนั้นจึงเป็นข้อบกพร่องของวงจรสะท้อนกระแสวิลสันกล่าวคือ การสวิงของแรงดันเอาต์พุตมีค่าที่ค่อนข้างจำกัด

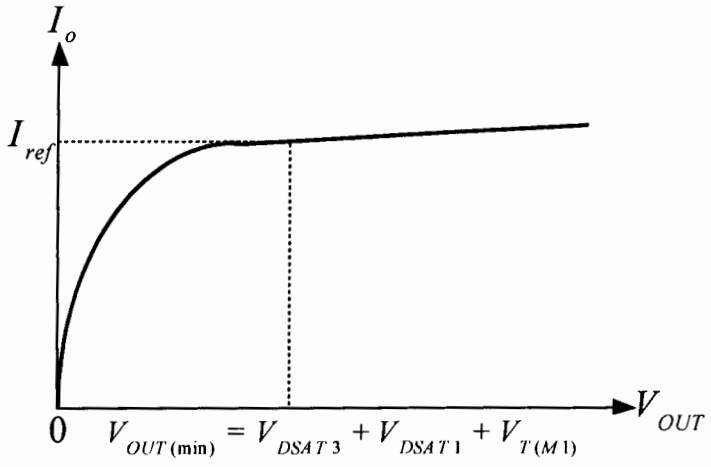
2.3.3 วงจรสะท้อนกระแสแคสโคด

วงจรสะท้อนกระแสแคสโคด (cascode current mirror) แสดงดังภาพที่ 2.20 เป็นวงจรที่มีเอาต์พุตอิมพีแดนซ์สูง วงจรประกอบด้วยทรานซิสเตอร์จำนวน 4 ตัวที่มีทรานซิสเตอร์ M_2 ต่อแคสโคดอยู่กับทรานซิสเตอร์ M_3 โดยทรานซิสเตอร์ M_1, M_4 เป็นทรานซิสเตอร์ทางอินพุต และทรานซิสเตอร์ M_2, M_3 เป็นทรานซิสเตอร์ทางเอาต์พุต กระแส I_{ref} และกระแส I_o คือกระแสที่ไหลผ่านทรานซิสเตอร์ M_1, M_4 และกระแสที่ไหลผ่านทรานซิสเตอร์ M_2, M_3 ตามลำดับ



ภาพที่ 2.20 วงจรสะท้อนกระแสแคสโคด

ในการออกแบบวงจรวงจรสะท้อนกระแสแคสโคด จะออกแบบให้ทรานซิสเตอร์ M_3 และ M_4 มีความสมพงษ์กัน ทำให้ V_{GS3} @V_{GS4} และ V_{DS1} @V_{DS2} ดังนั้นการสะท้อนกระแสจากทรานซิสเตอร์ M_1 ไปยัง M_2 เป็นไปได้อย่างสมบูรณ์ ซึ่งพิจารณาการสวิงของสัญญาณเอาต์พุต พบว่าแรงดันเอาต์พุตที่ต่ำที่สุดมีค่าเท่ากับ $V_{OUT(\min)} = V_{DSAT3} + V_{DSAT1} + V_{T(M1)}$ ดังแสดงในภาพที่ 2.21



ภาพที่ 2.21 กราฟกระแสเอาต์พุตเทียบกับแรงดันเอาต์พุต

จากภาพที่ 2.21 เป็นกราฟความสัมพันธ์ระหว่างกระแสเอาต์พุต และแรงดันเอาต์พุต สังเกตได้ว่าวงจรสะท้อนกระแสแคสโคดเริ่มไม่ทำงานเมื่อแรงดันเอาต์พุตมีค่าเท่ากับ $V_{OUT(\min)}$ ดังนั้นจึง

เป็นข้อบกพร่องของวงจรสะท้อนกระแสแคสโคดกล่าวคือ การสวิงของแรงดันเอาต์พุตมีค่าที่ค่อนข้างจำกัด

เหมือนกับวงจรสะท้อนกระแสวิลสัน เนื่องจาก V_{GS3} @V_{GS4} ดังนั้นแรงดันที่ขาเดรนของทรานซิสเตอร์ M_2 จึงมีค่าประมาณเท่ากับแรงดันที่ขาเดรนของทรานซิสเตอร์ M_1 (ซึ่งมีค่าเท่ากับV_{GS1}) ส่งผลให้แรงดันที่ขาเกตของทรานซิสเตอร์ M_3 มีค่าเท่ากับ $V_{G3} = V_{GS3} + V_{T(M1)}$

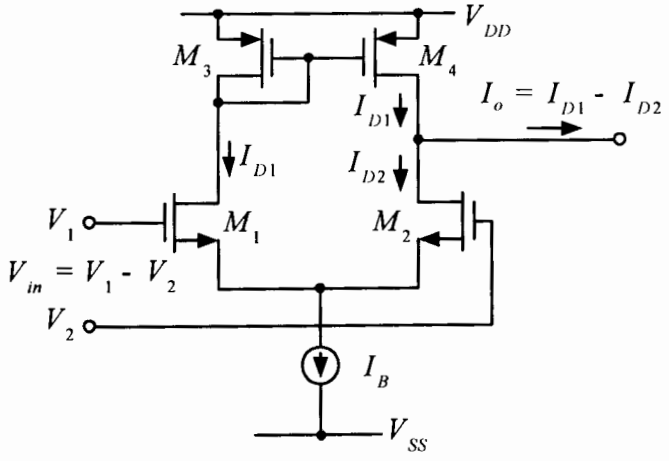
จากวงจรสะท้อนกระแสแบบต่าง ๆ พบว่า วงจรสะท้อนกระแสวิลสัน และวงจรสะท้อนกระแสแคสโคดมีข้อบกพร่องเหมือนกันคือ การสวิงขาลงของแรงดันเอาต์พุตมีค่าที่ค่อนข้างจำกัด ผู้วิจัยจึงไม่เลือกวงจรสะท้อนกระแสทั้งสองแบบมาใช้ในการออกแบบวงจรของวิทยานิพนธ์นี้

2.4 วงจรขยายสัญญาณผลต่างแบบซีมอส

วงจรขยายผลต่าง (differential amplifier) เป็นวงจรขยายที่สำคัญมากอีกวงจรหนึ่ง ลักษณะเด่นของวงจรขยายผลต่างคือ วงจรมีการประมวลผลสัญญาณอินพุตในลักษณะผลต่าง (differential input signal) แทนที่การประมวลผลในลักษณะที่เทียบกับกราวด์ การประมวลผลในลักษณะผลต่างมีคุณสมบัติเด่นหลายประการได้แก่ ความสามารถในการกำจัดสัญญาณรบกวนได้ที่ดีขึ้น สัญญาณเอาต์พุตมีช่วงสวิงกว้างขึ้น และความเพี้ยนของสัญญาณเอาต์พุตที่ลดลง

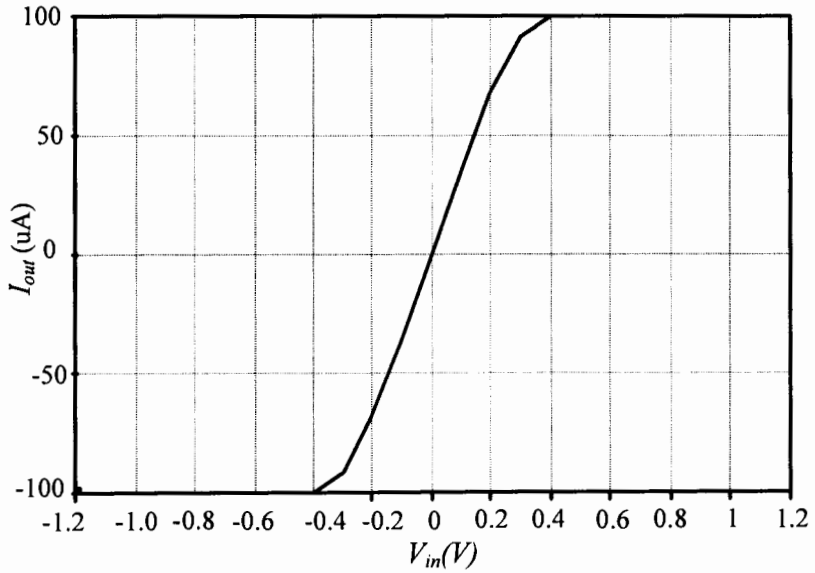
2.4.1 วงจรขยายผลต่างแบบพื้นฐาน

วงจรขยายผลต่างพื้นฐานในการออกแบบวงจรจะออกแบบให้ทรานซิสเตอร์ M_1 และทรานซิสเตอร์ M_2 มีความสมพงษ์กัน ดังนั้นจะเห็นว่า วงจรขยายผลต่างจึงมีโครงสร้างที่สมมาตร จากคุณสมบัติที่กล่าวมาจึงเหมาะที่จะนำมาใช้สำหรับออกแบบเป็นวงจรทรานส์คอนดัคเตอร์ที่ควบคุมด้วยกระแส[19] สำหรับวงจรทรานส์คอนดัคเตอร์ที่มีการประยุกต์ใช้งานและพัฒนามาจากวงจรขยายผลต่างแบบหางยาว (long tail pair differential amplifier) เป็นหลัก ซึ่งข้อจำกัดสำคัญของการนำวงจรทรานส์คอนดัคเตอร์แบบซีมอสมาออกแบบเป็นวงจรเชิงเส้น ก็คือการทำงานของวงจรทรานส์คอนดัคเตอร์แบบซีมอสสามารถประมาณการได้เป็นแบบฟังก์ชันของสมการกำลังสอง ซึ่งเป็นสมการไม่เป็นเชิงเส้นดังสมการที่ (2.35) วงจรทรานส์คอนดัคเตอร์แบบซีมอสอย่างง่ายแสดงดังภาพที่ 2.22



ภาพที่ 2.22 วงจรขยายความนำถ่ายโอนชนิดใช้ทรานซิสเตอร์แบบซีมอสอย่างง่าย

จากวงจรในภาพที่ 2.22 ทรานซิสเตอร์ M_1 และทรานซิสเตอร์ M_2 เป็นวงจรขยายความแตกต่างแบบดิฟเฟอร์เรนเชียลซึ่งทำหน้าที่เปลี่ยนแรงดันเป็นกระแส ส่วนทรานซิสเตอร์ M_3 และทรานซิสเตอร์ M_4 เป็นวงจรสะท้อนกระแสซึ่งให้อัตราส่งผ่านกระแสเท่ากับหนึ่งโดยมีกระแส I_B เป็นกระแสไบแอสให้กับวงจร เมื่อป้อนสัญญาณแรงดัน V_{in} จะทำให้กระแส I_{D1} และ I_{D2} ขึ้นที่ทรานซิสเตอร์ M_1 และทรานซิสเตอร์ M_2 ตามลำดับ กระแส I_{D1} ที่ถูกสะท้อนกระแสโดยทรานซิสเตอร์ M_3 และทรานซิสเตอร์ M_4 เมื่อนำไปลบออกจากค่ากระแส I_{D2} ที่เกิดขึ้นที่ทรานซิสเตอร์ M_2 จะได้กระแสเอาท์พุต I_o มีค่าเท่ากับกระแส $I_{D1} - I_{D2}$



ภาพที่ 2.23 กราฟความสัมพันธ์ของกระแสเอาต์พุตที่เป็นฟังก์ชั่นของแรงดันผลต่างของอินพุต

จากกราฟในภาพที่ 2.23 แสดงความสัมพันธ์ระหว่างค่ากระแส I_o กับค่าแรงดันที่จุดเข้า V_{in} ของวงจรขยายความแตกต่าง มีค่าดังสมการที่ (2.30)

$$I_o = \frac{\mu_n C_{ox}}{2}\left[\frac{W}{L}\right] V_{in}\sqrt{\frac{4I_B}{\mu_n C_{ox}(W/L)} - V_{in}^2} \qquad (2.30)$$

จากสมการที่ (2.36) สามารถเขียนกราฟแสดงความสัมพันธ์ระหว่างกระแสเอาท์พุต I_o ซึ่งเป็นฟังก์ชั่นของแรงดันผลต่างของอินพุต (differential input voltage) V_{in} (I_o นอร์มอลไลส์กับ I_B และ V_{in} นอร์มอลไลซ์กับ $\sqrt{2I_B/\mu_n C_{ox}(W/L)}$ ดังภาพที่ 2.17 ซึ่งจากกราฟแสดงให้เห็นว่าค่าความนำแตกต่าง (effective differential transconductance) ของทรานซิสเตอร์แบบซีมอสคู่ขยายความต่างจะมีลักษณะคล้ายกับคู่ขยายความต่างของทรานซิสเตอร์แบบไบโพลาร์ (bipolar differential pair) และมีค่าสูงสุดเท่ากับค่าความนำ quiescent transconductance (g_m)

จากสมการที่ (2.30) สามารถหาค่าความนำ g_m ได้ดังสมการที่ (2.31)

$$g_m = \sqrt{\mu_n C_{ox}(W/L) I_B} \tag{2.31}$$

หรือ

$$g_m = \sqrt{2KI_B} \tag{2.32}$$

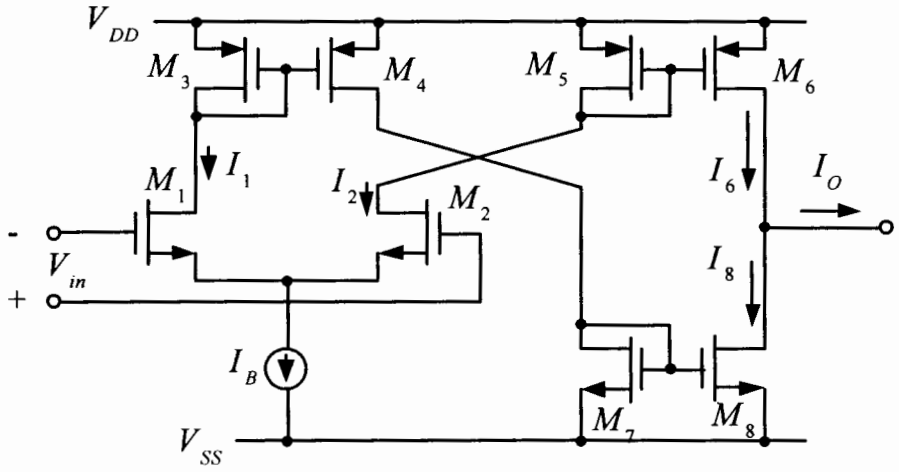
โดยที่ $K = \mu_n C_{ox}(W/2L)$

จากค่าในสมการที่ (2.32) จะได้ว่าค่า g_m ของวงจรที่เกิดขึ้นนั้นสามารถที่จะควบคุมค่าได้โดยการปรับกระแสไบอัส I_B

จากกราฟความสัมพันธ์ระหว่างกระแสเอาต์พุตและแรงดันผลต่างของอินพุตในภาพที่ 2.17 จะพบว่า วงจรทรานส์คอนดัคเตอร์แบบซีมอสนั้นมีช่วงการทำงานที่เป็นเชิงเส้นในช่วงแคบ ๆ เช่นเดียวกับวงจรทรานส์คอนดัคเตอร์แบบไบโพล่าร์ โดยที่วงจรทรานส์คอนดัคเตอร์แบบซีมอส จะมีค่าแรงดันอินพุตของวงจรมีค่าเท่ากับ $-\sqrt{\frac{2I_B}{\mu_n C_{ox}(W/L)}} \le V_{in} \le \sqrt{\frac{2I_B}{\mu_n C_{ox}(W/L)}}$ ซึ่งค่าของแรงดันอินพุตของวงจรทรานส์คอนดัคเตอร์แบบซีมอส แบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น หากสัญญาณขาเข้ามีขนาดสูงกว่าค่าดังกล่าวแล้ววงจรทรานส์คอนดัคเตอร์แบบซีมอส จะทำงานอยู่ในช่วงอิ่มตัว นั่นคือ กระแสเอาต์พุตจะมีค่าเท่ากับกระแสไบอัสอินพุต (I_B) ส่วนทิศทางของกระแสเอาต์พุตขึ้นอยู่กับขั้วความต่างของแรงดันอินพุต

ภาพที่ 2.24 แสดงวงจรทรานส์คอนดัคเตอร์แบบซีมอสพื้นฐาน ที่มีกระแสไบอัสจากภายนอก I_B จะเป็นตัวกำหนดค่าความนำจากอินพุตดิฟเฟอร์เรนเชียล ซึ่งจะเป็นผลสะท้อนไปยังกระแสเอาต์พุต จากภาพวงจรนั้นกระแส I_2 เป็นกระแสที่อ้างอิงกับวงจรสะท้อนกระแสแบบแหล่งจ่ายกระแส (current source) ที่ประกอบด้วยทรานซิสเตอร์ M_5 และทรานซิสเตอร์ M_6 เมื่อเราไม่คำนึงถึงผลของ channel length modulation แล้ว และสมมติว่าทรานซิสเตอร์แบบซีมอสทุกตัว มีความสมพงษ์กันตามอุดมคติจะทำให้ค่ากระแส I_6 เท่ากับกระแส I_2 ซึ่งกระแส I_1 ก็มีลักษณะเช่นเดียวกับกระแส I_2 คือกระแส I_1 จะถูกอ้างอิงกับวงจรสะท้อนกระแสแบบแหล่งจ่ายกระแสที่ประกอบด้วย M_3 และ M_4 ดังนั้นกระแส I_4 จะเท่ากับกระแส I_1 ด้วย กระแส I_4 จะถูกสะท้อนมายังทรานซิสเตอร์ M_7 และทรานซิสเตอร์ M_8 ทำให้ได้ค่ากระแส $I_8 = I_4$ ซึ่งค่ากระแสเอาต์พุตที่ได้คือ

$$I_O = I_2 - I_1 = I_6 - I_8 \tag{2.33}$$



ภาพที่ 2.24 วงจรสมบูรณ์ของโอทีเอที่มีโครงสร้างเป็นทรานซิสเตอร์แบบซีมอส

แต่กระแสเอาต์พุตยังคงเท่ากับผลต่างของกระแสในวงจรดิฟเฟอร์เรนเชียลของทรานซิสเตอร์ M_1 และ M_2 ดังนั้น

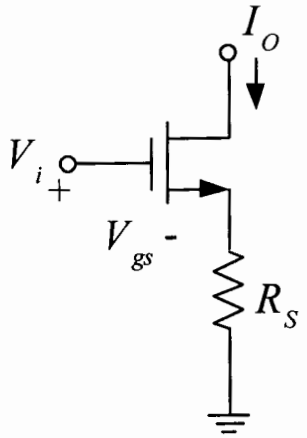
$$I_O = g_m V_{in} \tag{2.34}$$

โดยที่ g_m มีค่าเท่ากับ $\sqrt{2KI_B}$ ในสมการที่ (2.32)

เมื่อพิจารณาสมการที่ (2.32) จะพบว่า ค่าส่งผ่านความนำนั้น แปรผันกับค่ารากที่สองของกระแสไบอัส I_B ซึ่งทำให้วงจรไม่สามารถปรับค่าอัตราการขยายทรานส์คอนดัคแตนซ์ได้อย่างเชิงเส้น

2.4.2 วงจรขยายผลต่างแบบลดทอนซร์อส

วงจรขยายผลต่างแบบลดทอนซร์อส (source degeneration) เป็นเทคนิคการป้อนกลับแบบลบ (negative feedback) ที่ช่วยให้การแปลงแรงดันเป็นกระแสมีความเป็นเชิงเส้นมากขึ้น วงจรขยายผลต่างแบบลดทอนซร์อสแสดงดังภาพที่ 2.25

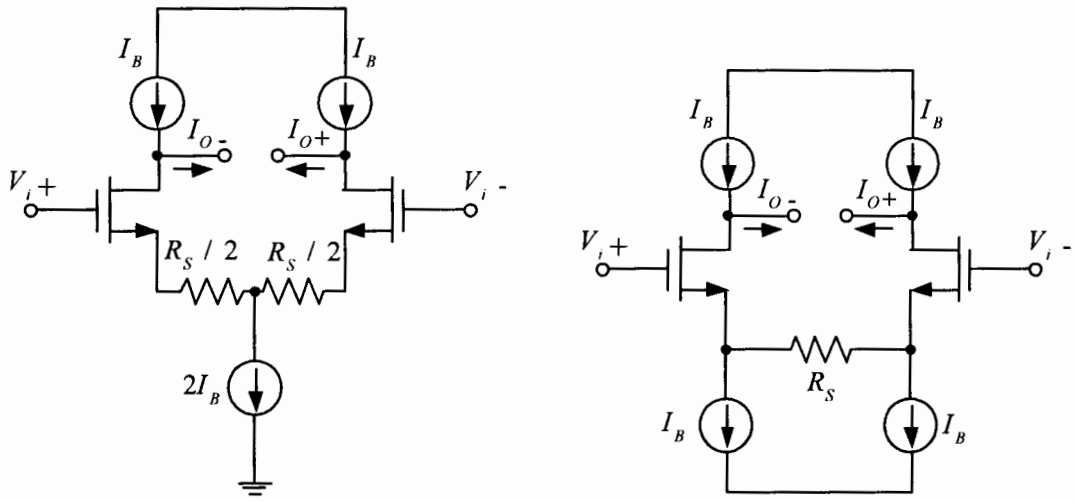


ภาพที่ 2.25 การทำให้เป็นเชิงเส้นด้วยการลดทอนซร์อส

จากภาพที่ 2.25 การทำให้เป็นเชิงเส้นด้วยการลดทอนซร์อส เนื่องจากแรงดันที่ตกคร่อม R_S จะทำให้แรงดัน V_{gs} มีการเปลี่ยนแปลงระดับขึ้นลงน้อยลง ส่งผลให้การแปลงแรงดันเป็นกระแสมีความเป็นเชิงเส้นมากขึ้น ในขณะเดียวกันการป้อนกลับดังกล่าวจะทำให้อัตราความนำโอนย้ายมีค่าลดลงเป็น

$$G = \frac{g_m}{1+g_m R_S} = \frac{g_m}{1+g_m/G_S} \tag{2.35}$$

โดยการออกแบบวงจรขยายผลต่างแบบลดทอนซร์อส สามารถออกแบบวงจรได้สองแบบ คือ วงจรขยายผลต่างแบบลดทอนซร์อสปลายคู่สองด้านที่ใช้ตัวต้านทานลดทอนหนึ่งตัว และวงจรขยายผลต่างแบบลดทอนซร์อสปลายคู่สองด้านที่ใช้ตัวต้านทานลดทอนสองตัว ซึ่งกระแสเอาต์พุตของวงจรดังกล่าวจะมีลักษณะสมมาตร

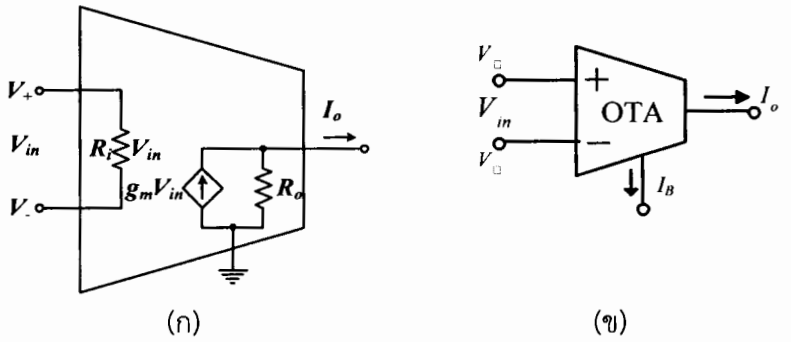


(ก) (ข)

ภาพที่ 2.26 วงจรขยายผลต่างแบบลดทอนซร์อสปลายคู่สองด้านที่ใช้ตัวต้านทานลดทอน (ก) ใช้ตัวต้านทานลดทอนสองตัว (ข) ใช้ตัวต้านทานลดทอนหนึ่งตัว

2.5 วงจรทรานส์คอนดัคเตอร์

โอทีเอ (OTA: operational transconductance amplifier) หรือวงจรทรานส์คอนดัคเตอร์เป็นอุปกรณ์ชนิดแอคทีฟชนิดหนึ่ง ซึ่งในปัจจุบันได้มีการออกแบบให้อยู่ในรูปของวงจรรวมหรือไอซี โดยเป็นที่นิยมนำมาประยุกต์ใช้ในงานต่างๆ ทั้งทางด้านโหมดของแรงดันไฟฟ้าและโหมดของกระแสไฟฟ้าได้เป็นอย่างดีและแพร่หลาย เนื่องจากการใช้งานของโอทีเอไม่ซับซ้อนยุ่งยาก และยังง่ายต่อการออกแบบโครงสร้างของโอทีเอนั้นก็สามารถแสดงได้ดังภาพที่ 2.27



(ก) (ข)

ภาพที่ 2.27 (ก) วงจรสมมูลทางอุดมคติของโอทีเอ (ข) สัญลักษณ์ของโอทีเอ

โอทีเอเป็นวงจรขยายที่แปลงแรงดันไฟฟ้าให้มาเป็นกระแสไฟฟ้า โดยมีลักษณะการทำงานเป็นแรงดันไฟฟ้าควบคุมแหล่งจ่ายกระแสไฟฟ้า (voltage control current source) ซึ่งวงจรสมมูลทางอุดมคติ และสัญลักษณ์ แสดงดังภาพที่ 2.15 เป็นอุปกรณ์อิเล็กทรอนิกส์ที่มี 4 ขั้ว ได้แก่ขั้วอินพุต (V_{in}) 2 ขั้ว ได้แก่ V_+ และ V_- ขั้วกระแสทางด้านขาออก (I_O: output current) จำนวน 1 ขั้ว และขั้วกระแสควบคุม (I_B: bias current) จำนวน 1 ขั้ว คุณสมบัติของโอทีเอนั้นจะมีอิมพีแดนซ์ทางอินพุตและเอาต์พุตสูงโดยในทางอุดมคติจะมีค่าเป็นอนันต์ จากวงจรสมมูลทางอุดมคติของโอทีเอจะเห็นได้ว่ากระแสไฟฟ้าทางเอาต์พุตจะเปลี่ยนแปลงตามความแตกต่างของแรงดันไฟฟ้าทางด้านอินพุต มีค่าอัตราขยายทรานส์คอนดัคแตนซ์เท่ากับ g_m และอัตราขยายทรานส์คอนดัคแตนซ์สามารถควบคุมได้ด้วยกระแสไฟฟ้า I_B ดังในสมการที่ (2.36)

$$I_{out} = g_m(V_{in+} - V_{in-}) \tag{2.36}$$

โอทีเอมีโครงสร้างภายในที่สร้างมาจากทรานซีสเตอร์ ซึ่งมีทั้งโครงสร้างที่เป็นทรานซิสเตอร์แบบไบโพลาร์ (BJT: bipolar junction transistor) และโครงสร้างที่เป็นทรานซิสเตอร์แบบซีมอส (CMOS: complementary metal–oxide–semiconductor) โดยค่าอัตราขยายทรานส์คอนดัคแตนซ์ของโครงสร้างที่เป็นทรานซิสเตอร์แบบไบโพลาร์ดังแสดงในสมการที่ (2.37)

$$g_{m(BJT)} \cong \frac{I_{B(BJT)}}{2V_T} \tag{2.37}$$

เมื่อ V_T ค่าความต่างศักย์อันเนื่องมาจากอุณหภูมิ (thermal voltage) และค่าอัตราขยายทรานส์คอนดัคแตนซ์ของโครงสร้างที่เป็นดิฟเฟอร์เรนเชียลแอมป์ปริไฟเออร์แบบ simple OTA โดยใช้ทรานซิสเตอร์แบบซีมอสแสดงดังสมการที่ (2.38)

$$g_{m(CMOS)} = \sqrt{2KI_{B(CMOS)}} \tag{2.38}$$

จากสมการที่ (2.34) ค่าอัตราขยายทรานส์คอนดัคแตนซ์ของโครงสร้างที่เป็นทรานซิสเตอร์แบบไบโพลาร์สามารถปรับค่าอัตราขยายทรานส์คอนดัคแตนซ์ได้อย่างเชิงเส้นเนื่องจากกระแสไบอัส $I_{B(BJT)}$ ไม่ได้ติดอยู่ในฟังก์ชันของรากที่สอง ส่วนในสมการที่ (2.35) ค่าอัตราขยายทรานส์คอนดัคแตนซ์ของโครงสร้างที่เป็นทรานซิสเตอร์แบบซีมอสไม่สามารถปรับค่าอัตราขยายทรานส์คอนดัคแตนซ์ได้อย่างเชิงเส้นเนื่องจากกระแสไบอัส $I_{B(CMOS)}$ เป็นแบบฟังก์ชันของสมการกำลังสอง ซึ่งเป็นสมการไม่เป็นเชิงเส้น

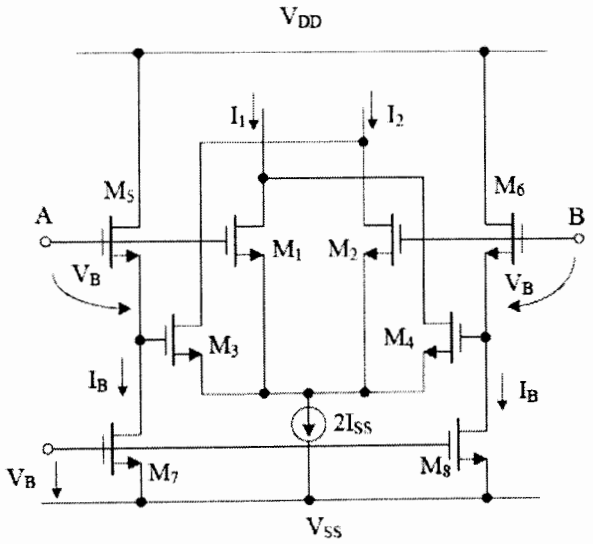
2.6 วงจรทรานส์คอนดัคเตอร์แบบซีมอสที่ได้มีการนำเสนอแล้ว

จากหัวข้อที่ผ่านมาได้กล่าวถึงวงจรทรานส์คอนดัคเตอร์แบบซีมอสที่ควบคุมอัตราการขยายทรานส์คอนดัคแตนซ์ได้ด้วยกระแสดีซีไบอัส I_B แต่ค่าอัตราขยายทรานส์คอนดัคแตนซ์ ไม่สามารถปรับค่าได้อย่างเชิงเส้น เนื่องจากค่าอัตราขยายทรานส์คอนดัคแตนซ์นั้น แปรผันกับค่ารากที่สองของกระแสไบอัส I_B ดังนั้นในหัวข้อนี้จะกล่าวถึงเทคนิคในการพัฒนาเพื่อให้วงจรทรานส์คอนดัคเตอร์สามารถปรับค่าอัตราขยายทรานส์คอนดัคแตนซ์ได้อย่างเชิงเส้น

2.6.1 วงจรทรานส์คอนดัคเตอร์แบบซีมอสที่ควบคุมด้วยแรงดัน

วงจรทรานส์คอนดัคเตอร์แบบซีมอสที่ควบคุมด้วยแรงดัน เป็นการออกแบบเพื่อให้วงจรทรานส์คอนดัคเตอร์ สามารถให้ค่าขยายทรานส์คอนดัคแตนซ์ที่เป็นเชิงเส้นในรูปแบบเดียวกันกับวงจรทรานส์คอนดัคเตอร์แบบบีเจที ซึ่งมีการนำเสนอหลักการออกแบบหลายวิธี เช่นตามอกสารอ้างอิง [9-11] โดยวงจรที่นำเสนอดังกล่าว มีข้อสังเกตว่า วงจรที่นำเสนอส่วนใหญ่จะปรับค่าขยาย

ทรานส์คอนดัคแตนซ์ด้วยการปรับค่าแรงดัน (voltage control) ซึ่งในการปรับค่าแรงดันควบคุมนี้ ยังมีข้อจำกัดที่สำคัญคือ มีช่วงการปรับค่าได้อย่างเชิงเส้นของวงจรทรานส์คอนดัคเตอร์ได้ไม่กว้างนัก และไม่เหมาะสมกับวงจรแบบที่ใช้แรงดันไฟเลี้ยงต่ำ (low voltage) ซึ่งวงจรทรานส์คอนดัคเตอร์แบบซีมอสที่ควบคุมด้วยแรงดัน ดังตัวอย่างวงจรในภาพที่ 2.28



ภาพที่ 2.28 วงจรทรานส์คอนดัคเตอร์ที่ควบคุม g_m ด้วยแรงดัน

จากภาพที่ 2.28 เป็นวงจรทรานส์คอนดัคเตอร์ที่ออกแบบโดยใช้เทคนิค cross – coupled ซึ่งค่าทรานส์คอนดัคแตนซ์ของวงจร สามารถวิเคราะห์โดยเขียนค่ากระแสเอาต์พุตได้ดังสมการที่ (2.39)

$$I_O = I_1 - I_2 = 2KV_B(V_P - V_N) \tag{2.39}$$

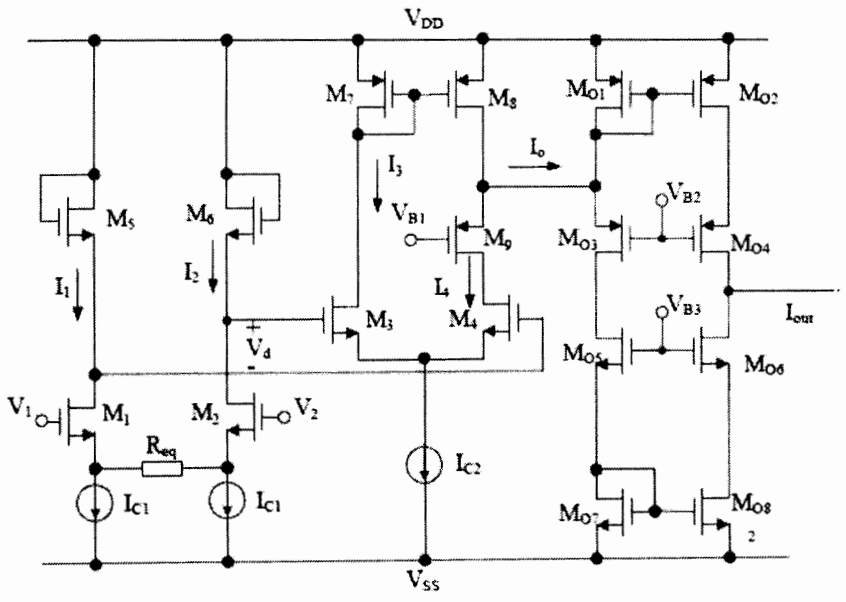
เมื่อ $K = \frac{\mu_n C'_{ox}}{2}\left(\frac{W}{L}\right)$ และแรงดันอินพุต $V_{in} = (V_P - V_N)$ เมื่อ V_P และ V_N คือแรงดันเกต-ซอร์ส ของทรานซิสเตอร์ M_1 และ M_2 ตามลำดับ ดังนั้นสมการกระแสทางเอาต์พุตจากสมการที่ (2.39) จะได้

$$I_O = I_1 - I_2 = g_m V_{in} = 2KV_{in} \tag{2.40}$$

จากสมการที่ (2.40) จะเห็นได้ว่าค่าอัตราขยายทรานส์คอนดัคแตนซ์ $gm = Io/Vin = 2KI_B$ ซึ่งค่าของ g_m สามารถปรับค่าได้อย่างเชิงเส้นได้ด้วยแรงดันควบคุม V_B แต่เนื่องจากมีข้อจำกัดด้านแรงดันที่ควบคุมจะถูกจำกัดอยู่ในช่วงไม่เกินแหล่งจ่ายไฟเลี้ยงของวงจร จึงทำให้วงจรทรานส์คอนดัค-เตอร์ ไม่สามารถปรับค่า g_m ได้ในช่วงกว้าง

2.6.2 วงจรทรานส์คอนดัคเตอร์แบบควบคุมด้วยกระแส

วงจรทรานส์คอนดัคเตอร์แบบควบคุมด้วยกระแสที่มีการออกแบบ โดยใช้เทคนิคการทำงานของทรานซิสเตอร์ในช่วง weak inversion เพื่อให้ค่าอัตราขยายทรานส์คอนดัคแตนซ์สามารถปรับได้อย่างเชิงเส้นด้วยการควบคุมด้วยกระแสดีซีไบอัส I_B ได้มีการนำเสนอ [20, 21] แสดงดังวงจรภาพที่ 2.29



ภาพที่ 2.29 วงจรทรานส์คอนดัคเตอร์ที่ควบคุม g_m ด้วยกระแส

จากวงจรในภาพที่ 2.29 คุณสมบัติของวงจรนี้จะอาศัยคุณสมบัติของทรานซิสเตอร์แบบซีมอสที่ทำงานในผ่าน weak inversion ซึ่งความสัมพันธ์ของสมการกระแสเดรน I_D และแรงดันเกต- ซอร์ส V_{GS} ในย่านนี้จะเป็นความสัมพันธ์ของฟังก์ชั่นเอ็กโปแนนเทียล ดังสมการที่ (2.41)

$$I_D = \frac{W}{L} I_{DO} \exp\left(\frac{V_{GS}}{nV_T}\right) \tag{2.41}$$

เมื่อ I_{DO} คือ กระแสย้อนกลับอิ่มตัว (reverse saturation current)
n คือ sub–threshold slope factor
V_T คือ ค่าแรงดันเนื่องจากความร้อน (thermal voltage)

จากความสัมพันธ์ระหว่างกระแสเดรน I_D และแรงดันเกต-ซอร์ส V_{GS} ที่เป็นความสัมพันธ์แบบ เอ็กโปแนนเทียล ซึ่งมีลักษณะคล้ายกันกับความสัมพันธ์ของกระแสอิมิตเตอร์ I_E และแรงดันเบส-อิมิตเตอร์ V_{BE} ของทรานซิสเตอร์แบบโพลาร์ ดังนั้นถ้าออกแบบให้สัญญาณที่ป้อนทางด้านอินพุตมีค่าน้อยมากมาก (small signal) จะทำให้สัญญาณกระแสทางด้านเอาท์พุตที่เกิดจากวงจรขยายสัญญาณผลต่าง (differential pair) มีความเป็นเชิงเส้นกับสัญญาณแรงดันทางอินพุต จากภาพที่ 2.20 จะเห็นได้ว่าส่วนของวงจรประกอบด้วยทรานซิสเตอร์ M_1, M_2, M_5 และ M_6 โดยสัญญาณแรงดันอินพุตของวงจรทรานส์คอนดัคเตอร์ V_d จะเป็น logarithmic มีค่าดังสมการที่ (2.42)

$$V_d = nV_T \ln\left(\frac{I_2}{I_1}\right) \tag{2.42}$$

ดังนั้น จึงทำให้ค่ากระแสเอาต์พุตที่ได้มีความเป็นเชิงเส้นและมีค่าดังสมการที่ (2.43)

$$I_{out} = A\frac{I_{C2}}{I_{C1}} \ln\left(\frac{V_2 - V_1}{\mathrm{R}_{eq}}\right)$$

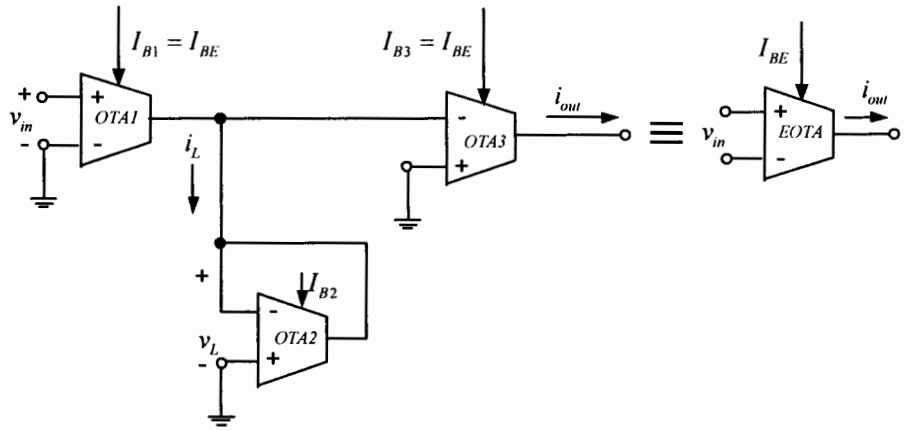
(2.43)

จากสมการที่ (2.45) จะเห็นได้ว่าค่าอัตราขยายทรานส์คอนดัคแตนซ์ของวงจร สามารถปรับค่าได้โดยกระแสไบอัส I_{C1} หรือ I_{C2} แต่อย่างไรก็ตามวงจรก็สามารถที่จะปรับค่า g_m ด้วยกระแสไบอัสที่จำกัดในช่วงแคบ ๆ คือทำได้ไม่ถึง 100 เท่า ซึ่งข้อจำกัดนี้ เนื่องมาจากต้องการไบอัสให้ทรานซิสเตอร์ทำงานในช่วง weak inversion

2.6.3 วงจรทรานส์คอนดัคเตอร์ต่อแบบคาสเคด

วงจรทรานส์คอนดัคเตอร์ที่ออกแบบโดยใช้เทคนิคการต่อแบบคาสเคด ออกแบบมาเพื่อให้ปรับค่าอัตราขยายทรานส์คอนดัคแตนซ์ได้อย่างเชิงเส้น โดยมีผู้นำเสนอ [14] มีชื่อว่าวงจรขยายโอเปอเรชันแนลทรานส์คอนดัคแตนซ์ที่ปรับค่าขยายได้ด้วยวิธีอิเล็กทรอนิกส์ หรือ (EOTA: electronically

tunable operational transcondance amplifior) ออกแบบให้วงจรทรานส์-คอนดัคเตอร์แบบซีมอส ที่สามารถปรับค่าได้อย่างเชิงเส้นด้วยกระแสดีซีไบอัสจากภายนอกได้ในช่วงกว้างถึงประมาณ 3 เดเคด (1,000 เท่า) ดังแสดงในภาพที่ 2. 30



ภาพที่ 2.30 วงจร EOTA ที่ออกแบบโดยวงจรทรานส์คอนดัคเตอร์แบบสมดุลจำนวน 3 ตัว

จากวงจรในภาพที่ 2.30 วงจรออกแบบโดยอาศัยคุณสมบัติของทรานซิสเตอร์แบบซีมอส ที่ทำงานในช่วงอิ่มตัว และใช้เทคนิคการสร้างสมการยกกำลังสอง เนื่องจากเทอมที่ไม่เป็นเชิงเส้น ของวงจรทรานส์คอนดัคเตอร์ของวงจรซีมอส ซึ่งเดิมนั้นอยู่ในฟังก์ชันของรากที่สอง ดังนั้นเมื่อยกกำลังสองสมการนั้นแล้วจะทำให้ได้ค่าอัตราขยายทรานส์คอนดัคแตนซ์ของวงจรสามารถปรับค่าได้อย่างเชิงเส้นขึ้น โดยปรับค่าอัตราขยายทรานส์คอนดัคแตนซ์ด้วยกระแสดีซีไบอัส I_B จากภายนอกได้

เมื่อพิจารณาโครงสร้างตามภาพที่ 2.21 วงจรประกอบไปด้วยวงจรทรานส์คอนดัคเตอร์แบบสมดุลจำนวน 3 ตัว โดยที่ OTA_1 ทำหน้าที่แปลงสัญญาณแรงดันอินพุต $V_{in} = V_1 - V_2$ เป็นสัญญาณกระแส i_L และส่งผ่านไปยัง OTA_2 ซึ่งต่อเป็นตัวต้านทานแบบเอคทีฟ Z_L โดยที่ $Z_L = 1/g_{m2}$ เมื่อ g_{m2} คือค่าอัตราขยายทรานส์คอนดัคแตนซ์ของ OTA_2 ดังนั้นสัญญาณกระแส $I_L = g_{m1}V_{in}$ จะได้ค่าแรงดันตกคร่อมตัวต้านทานแบบแอคทีฟ OTA_2 มีค่าดังสมการที่ (2.44)

$$V_L = i_L Z_L = g_{m1}V_{in}\frac{1}{g_{m2}} \tag{2.44}$$

กำหนดให้ g_{m3} ของ OTA_3 คือค่าอัตราขยายทรานส์คอนดัคแตนซ์ของ OTA_3 ดังนั้นจึงสามารถแปลงสัญญาณแรงดัน V_L เป็นสัญญาณกระแส I_{out} ได้ดังสมการ

$$I_{out} = g_{m3}V_L \tag{2.45}$$

แทนสมการที่ (2.44) ลงในสมการที่ (2.45) จะได้สัญญาณกระแส I_{out} คือ

$$I_{out} = \frac{g_{m3}g_{m1}}{g_{m2}} V_{in} \tag{2.46}$$

เมื่อ $g_{m1} = \sqrt{2KI_{B1}}$, $g_{m2} = \sqrt{2KI_{B2}}$ และ $g_{m3} = \sqrt{2KI_{B3}}$

เมื่อกำหนดให้ $I_{B1} = I_{B3} = I_{BE}$ ดังนั้นจากสมการกระแส I_{out} ในสมการที่(2.46) จะได้

$$I_{out} = \frac{2I_{BE}\sqrt{K_1K_3}}{\sqrt{2I_{B2}K_2}} V_{in} = g_{mT}V_{in} \tag{2.47}$$

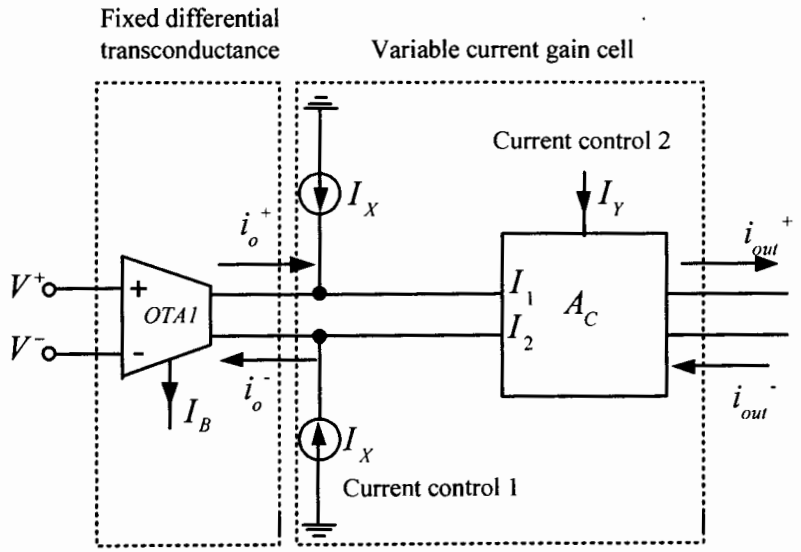
เมื่อ g_{mT} คือ ค่าอัตราขยายทรานส์คอนดัคแตนซ์ของวงจร EOTA มีค่าดังนี้

$$g_{mT} = 2I_{BE}K_T \tag{2.48}$$

เมื่อค่า $K_T = \sqrt{K_1K_3/2I_{B2}K_2}$ โดยกำหนดให้เป็นค่าคงที่ในสมการที่ (2.48) ซึ่งจะเห็นได้ว่าค่าอัตราขยายทรานส์คอนดัคแตนซ์ของวงจรทรานส์คอนดัคเตอร์ สามารถปรับค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์ โดยการปรับกระแสไบอัส I_{BE}

2.6.4 วงจรทรานส์คอนดัคเตอร์ต่อร่วมกันกับวงจรปรับอัตราขยายของกระแส

วงจรทรานส์คอนดัคเตอร์นี้ออกแบบโดย [15] มีชื่อว่า วงจรขยายโอเปอเรชันแนลทรานส์คอนดัคแตนซ์แบบเอาต์พุตสมดุลที่ปรับค่าขยายได้ด้วยวิธีอิเล็กทรอนิกส์ (BOTA: a new CMOS – based balanced output operational transconductance amplifier) ซึ่งเป็นวงจรที่ออกแบบมาเพื่อให้สามารถปรับค่าอัตราขยายทรานส์คอนดัคแตนซ์ได้อย่างเชิงเส้นและมีย่านกว้าง ดังแสดงตามภาพที่ 2.31



ภาพที่ 2.31 วงจร BOTA

จากวงจรตามภาพที่ 2.31 วงจรประกอบด้วยวงจรทรานส์คอนดัคเตอร์ต่อร่วมกับวงจรปรับค่าอัตราขยายของสัญญาณกระแส เมื่อพิจารณาที่กระแสเอาต์พุตของวงจรปรับค่าอัตราขยายสัญญาณกระแสมีค่าคือ

$$i_{out}^{+} = -i_{out}^{-} = n(I_1 - I_2) = \left(\frac{nI_X}{I_Y}\right) i_{in} \tag{2.49}$$

หรือ

$$i_{out}^{+} = \left(\frac{nI_X}{I_Y}\right) i_{in} = A_C V_{in} \tag{2.50}$$

เมื่อ n คือ วงจรรวม

A_C คือ อัตราขยายของสัญญาณกระแสของวงจรปรับค่าอัตราขยายของกระแส

และเมื่อ $|I_X| + |I_Y| \le 4I_Y$ ดังนั้นอัตราขยายของสัญญาณกระแสของวงจรปรับอัตราขยายของกระแสได้ดังสมการที่ (2.51)

$$A_C = \frac{nI_X}{2I_Y} \tag{2.51}$$

จากสมการที่ (2.50) หากกำหนดกระแส I_Y คงที่ จะสามารถทำให้กระแสเอาต์พุต I_{out} ของวงจรปรับค่าอัตราขยายสัญญาณสามารถปรับค่าได้อย่างเชิงเส้นด้วยกระแสไบอัสภายนอก I_X และวงจรมีข้อจำกัด คือ $A_{C(\max)} \le 2n$ เมื่อพิจารณาในส่วนของวงจรทรานส์คอนดัคเตอร์แบบ Fully ในภาพที่ 2.22 โดยทรานซิสเตอร์แบบซีมอสของวงจรทำงานในช่วงอิ่มตัว ค่าแรงดันอินพุตของวงจร $V_{in} = V_1 - V_2$ และค่ากระแสเอาต์พุต i_o^+ และ i_o^- มีค่าเท่ากับ

$$i_o^+ = i_o^- = I_2 - I_1 = \frac{\mu_n C_{ox}}{2}\left(\frac{W}{L}\right) V_{in} \sqrt{\frac{4I_B}{\mu_n C_{ox}\left(\frac{W}{L}\right)} - V_{in}^{\,2}} \tag{2.52}$$

ค่าอัตราขยายทรานส์คอนดัคแตนซ์ g_m ของวงจรทรานส์คอนดัคเตอร์ มีค่าเท่ากับ

$$g_m = \sqrt{2KI_B} \tag{2.53}$$

จากสมการที่ (2.51) และสมการที่ (2.52) เมื่อ $i_o^+ = i_{in}$ ค่ากระแสเอาต์พุตของวงจรมีค่าคือ

$$i_{out}^{+} = A_C i_o^+ \tag{2.54}$$

แทนค่าสมการที่ (2.52), (2.53) ลงในสมการที่ (2.54) ค่ากระแสเอาต์พุตของวงจร BOTA มีค่าดังสมการที่ (2.55)

$$i_{out}^{+} = \sqrt{2KI_B}.\frac{nI_X}{2I_Y}V_{in} \tag{2.55}$$

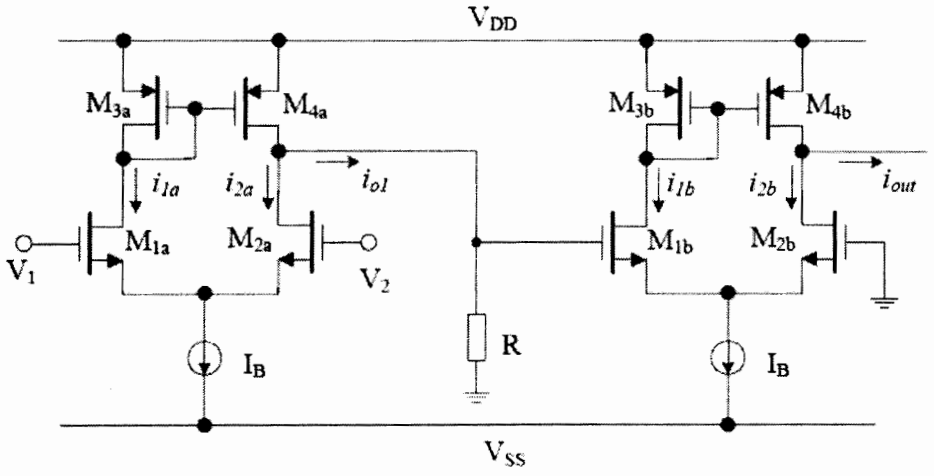
หากกำหนดให้ g_{mo} คือค่าอัตราขยายทรานส์คอนดัคแตนซ์ของ BOTA ค่าอัตราขยายทรานส์คอนดัคแตนซ์แสดงดังสมการที่ (2.56)

$$g_{mo} = \frac{n\sqrt{2KI_B}}{2I_Y}I_X = K_T I_X \tag{2.56}$$

จากสมการที่ (2.56) จะเห็นได้ว่าค่าอัตราขยายทรานส์คอนดัคแตนซ์สามารถปรับค่าได้อย่างเชิงเส้นด้วยกระแสไบอัส I_X

2.6.5 วงจรทรานส์คอนดัคแตนซ์โดยใช้เทคนิคการสร้างสมการยกกำลังสอง

การออกแบบวงจรด้วยวิธีนี้ เป็นการใช้เทคนิคเมื่อสร้างฟังก์ชันยกกำลังสองให้กับสมการของวงจรที่อยู่เทอมของรากที่สอง [22] แล้วจะได้ค่าขยายทรานส์คอนดัคแตนซ์ของวงจรที่เป็นเชิงเส้นเกิดขึ้น เมื่อพิจารณาวงจรในภาพที่ 2.32 ซึ่งวงจรประกอบด้วยวงจรขยายสัญญาณต่างแบบซีมอส 2 ชุดที่กำหนดให้มีค่ากระแสดีซีไบอัสจากภายนอก มีค่าเท่ากับ I_B โดยมีแรงดันอินพุทคือ $V_{in} = V_1 - V_2$



ภาพที่ 2.32 วงจรทรานส์คอนดัคเตอร์ที่ปรับค่า g_m ได้อย่างเชิงเส้น

จากการวิเคราะห์วงจรในภาพที่ 2.32 จะได้ว่ากระแสเอาท์พุท i_{o1} ของวงจรขยายสัญญาณผลต่างตัวที่ 1 คือ

$$i_{o1} = g_{m1}V_{in} \tag{2.57}$$

กระแส i_{o1} จะไหลผ่านตัวต้านทาน R ซึ่งทำให้เกิดแรงดันตกคร่อม R แรงดันนี้จะเป็นแรงดันอินพุทของวงจรขายสัญญาณต่างตัวที่ 2 ดังนั้นกระแสเอาต์พุตจะได้ว่า

$$i_{out} = g_{m2}V_R = g_{m2}(i_{o1}R) \tag{2.58}$$

แทนสมการที่ (2.57) ลงในสมการที่ (2.58) กระแสเอาท์พุทของวงจรสามารถแสดงได้ดังนี้

$$i_{out} = g_{m1}g_{m2}RV_{in} \tag{2.59}$$

เนื่องจากค่าอัตราขยายทรานส์คอนดัคแตนซ์ $g_{m1} = \sqrt{2KI_{B1}}$ และ $g_{m2} = \sqrt{2KI_{B2}}$ เมื่อกำหนดให้ $I_{B1} = I_{B2} = I_B$ และ $K_1 = K_2 = K$ จากสมการที่ (2.61) กระแสเอาต์พุตของวงจรจะมีค่าดังสมการที่ (2.60)

$$i_{out} = \left(\sqrt{2KI_BR}\right)^2 .V_{in} = (2KI_BR)V_{in} \tag{2.60}$$

ถ้าให้ g_{mT} คือค่าอัตราขยายทรานส์คอนดัคแตนซ์ ดังนั้นสมการกระแสเอาต์พุตของวงจรในสมการที่ (2.60) สมการอัตราขยายทรานส์คอนดัคแตนซ์ของวงจรมีค่าเท่ากับ

$$g_{mT} = 2I_BKR \tag{2.61}$$

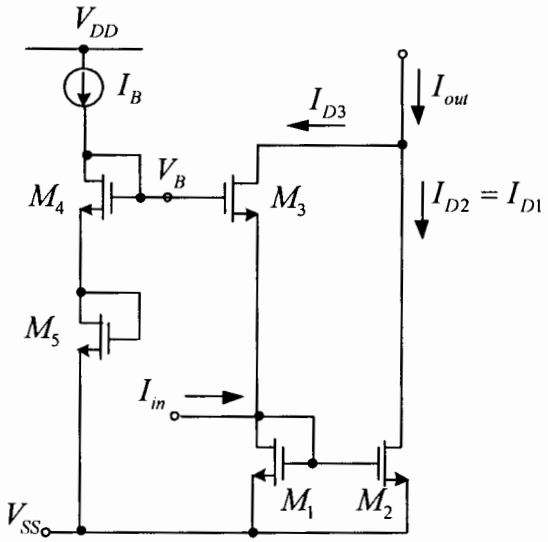
จากสมการที่ (2.61) ถ้าออกแบบให้ K และ R เป็นค่าคงที่ จะเห็นได้ว่าค่าขยายทรานส์คอนดัค-แตนซ์ของวงจรทรานส์คอนดัคเตอร์ สามารถปรับค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์โดยการปรับกระแสไบอัส I_B ซึ่งทำให้ช่วงความเป็นเชิงเส้นของค่าขยายทรานส์คอนดัคแตนซ์กว้างและไม่ถูกจำกัด

2.7 วงจรยกกำลังสองสัญญาณกระแส

วงจรยกกำลังสองสัญญาณกระแส (current squaring circuit) [23] แสดงดังภาพที่ 2.33 ถ้ามอสทรานซิสเตอร์ทุกตัวมีความสมพงษ์กัน (perfectly matched) และกำหนดให้อัตราส่วนของ W/L ของทรานซิสเตอร์แบบซีมอสแต่ละตัวมีค่าเท่ากันเมื่อไบอัสให้มีการทำงานในช่วงอิ่มตัวจะได้กระแสเดรนของ M_1, M_2 เท่ากับ

$$I_{D1} = K(V_{GS} - V_T)^2 \tag{2.62}$$

$$I_{D3} = K(V_{GS} - V_T)^2 \tag{2.63}$$



ภาพที่ 2.33 วงจรยกกำลังสองสัญญาณกระแส

โดยที่แรงดันไบอัส V_B มีค่าเท่ากับ

$$V_B = V_{GS1} + V_{GS3} \tag{2.64}$$

และกระแสอาท์พุตของวงจร I_{out} มีค่าเท่ากับ

$$I_{out} = I_{D1} + I_{D3} \tag{2.65}$$

แทนสมการที่ (2.62), (2.63) และ (2.64) ลงในสมการที่ (2.65) จะได้กระแสเอาต์พุตมีค่าเท่ากับ

$$I_{out} = 2I_B + \frac{(I_{D1} - I_{D3})^2}{8I_B} \tag{2.66}$$

โดยที่ I_B คือกระแสไบอัสของวงจร พิจารณาที่จุดสัญญาณเข้าจะได้กระแสอินพุต I_{in} ของวงจรมีค่าเท่ากับ

$$I_{in} = I_{D1} - I_{D3} \tag{2.67}$$

เมื่อแทนค่า I_{in} จากสมการที่ (2.67) ลงในสมการที่ (2.66) สามารถเขียนใหม่ได้เป็น

$$I_{out} = 2I_B + \frac{I_{in}^{\ 2}}{8I_B} \tag{2.68}$$

จากสมการที่ (2.68) จะเห็นได้ว่ากระแสเอาต์พุตของวงจรมีค่าเป็นกำลังสองของกระแสอินพุตร่วมกับกระแสไบอัส

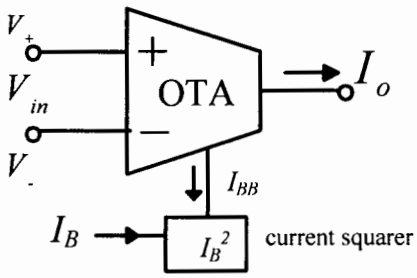
บทที่ 3
การสังเคราะห์และออกแบบวงจรทรานส์คอนดัคเตอร์

จากทฤษฎี และวงจรที่เกี่ยวข้องที่นำมาใช้พัฒนาในการจัดทำวิทยานิพนธ์ ซึ่งกล่าวถึงแล้วในบทที่ 2 ในบทนี้เป็นการนำเอาทฤษฎีต่างๆ ที่เกี่ยวข้องมาใช้สังเคราะห์และออกแบบวงจรทรานส์คอนดัคเตอร์แบบมีช่วงอินพุตกว้าง และสามารถปรับค่าอัตราขยายทรานส์คอนดัคแตนซ์ได้อย่างเชิงเส้น โดยมีจุดประสงค์หลักคือ ออกแบบวงจรทรานส์คอนดัคเตอร์แบบมีช่วงอินพุตกว้างที่สามารถปรับค่าอัตราขยายทรานส์คอนดัคแตนซ์ได้อย่างเชิงเส้นด้วยกระแสไบอัสจากภายนอก ตลอดจนออกแบบให้มีโครงสร้างของวงจรต้องมีจำนวนทรานซิสเตอร์น้อย ไม่ซับซ้อน และสามารถสร้างเป็นวงจรรวมได้โดยง่าย

ในบทนี้ประกอบด้วย หลักการของวงจรทรานส์คอนดัคเตอร์แบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น ที่สามารถควบคุมด้วยกระแสไบอัสภายนอก การออกแบบวงจรโดยใช้เทคโนโลยีซีมอสทรานซิสเตอร์ การวิเคราะห์สมรรถนะของวงจร ตลอดจนมีการทดสอบการทำงานของวงจรโดยใช้โปรแกรม PSPICE

3.1 การสังเคราะห์และออกแบบวงจรซีมอสโอทีเอแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น

จากหลักการพื้นฐานของวงจรทรานส์คอนดัคเตอร์ในบทที่ 2 ซึ่งจากคุณสมบัติของวงจรทรานส์คอนดัคเตอร์แบบซีมอส ที่มีข้อจำกัด คือไม่สามารถปรับค่าอัตราขยายทรานส์คอนดัคแตนซ์ได้อย่างเชิงเส้นด้วยกระแสดีซีไบอัสจากภายนอก และมีช่วงอินพุตแคบ ดังนั้นในหัวข้อนี้จะกล่าวถึงการออกแบบวงจรทรานส์คอนดัคเตอร์แบบมีช่วงอินพุตกว้าง และสามารถปรับค่าอัตราขยายทรานส์คอนดัคแตนซ์ได้อย่างเชิงเส้นด้วยกระแสดีซีไบอัสจากภายนอก แสดงดังภาพที่ 3.1 โดยวงจรจะประกอบด้วยสองส่วน ได้แก่ วงจรทรานส์คอนดัคเตอร์ หรือ OTA และวงจรยกกำลังสองของสัญญาณกระแส โดยที่ออกแบบให้ส่วนของกระแสดีซีไบอัสของคู่ผลต่าง อยู่ในเทอมของ I_B^2 นั้นคือต้องอาศัยการทำงานของวงจรยกกำลังสองของสัญญาณกระแส



ภาพที่ 3.1 บล็อกไดอะแกรมของวงจรวงจรทรานส์คอนดัคเตอร์แบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น

จากโครงสร้างของวงจรที่นำเสนอสัญญาณกระแสดีซีไบอัส I_B จะถูกยกกำลังสอง โดยวงจรยกกำลังสองสัญญาณกระแสจะได้ว่ากระแส I_{BB} มีค่าดังสมการที่ (3.1)

$$I_{BB} = \frac{I_B^2}{8I_A} \tag{3.1}$$

โดยที่ค่าอัตราขยายทรานส์คอนดัคแตนซ์ของวงจรมีค่าเท่ากับ $\sqrt{2KI_{BB}}$ เมื่อเขียนสมการใหม่จะได้ว่า

$$g_m = \sqrt{2K\frac{I_B^2}{8I_A}} \tag{3.2}$$

จากสมการที่ (3.2) เมื่อเขียนสมการใหม่จะได้ว่า

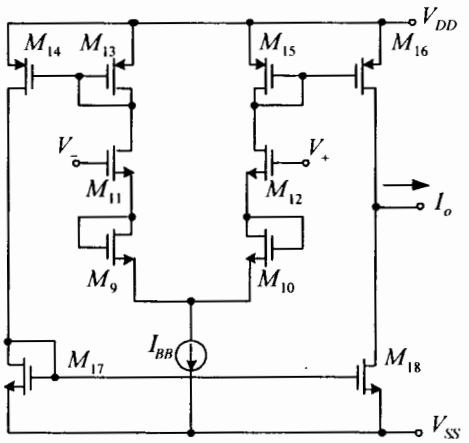
$$g_m = I_B\sqrt{\frac{K}{4I_A}} \tag{3.3}$$

จากสมการที่ (3.3) พบว่ากระแสดีซีไบอัส I_B ไม่ได้อยู่ในเทอมยกกำลังสอง เป็นผลให้ค่าอัตราขยายทรานส์คอนดัคแตนซ์ สามารถปรับได้อย่างเป็นเชิงเส้น ด้วยกระแสดีซีไบอัส

ดังนั้นในการออกแบบวงจรทรานส์คอนดัคเตอร์ที่มีช่วงแรงดันอินพุตกว้าง และสามารถปรับค่าอัตราขยายทรานส์คอนดัคแตนซ์ได้อย่างเชิงเส้นนั้น ส่วนแรกที่ทำการออกแบบคือส่วนของวงจรทรานส์คอนดัคเตอร์โดยใช้หลักการของเทคนิคการป้อนกลับแบบลบให้กับคู่ผลต่างของวงจรทรานส์คอนดัคเตอร์แบบพื้นฐาน ส่วนที่สองทำการออกแบบคือวงจรยกกำลังสองของสัญญาณกระแสโดยออกแบบให้ส่วนของกระแสออฟเซ็ตมีน้อยที่สุดเพื่อไม่ให้มีผลกระทบต่อวงจรที่ทำการออกแบบ และส่วนสุดท้ายเป็นการออกแบบวงจรทรานส์คอนดัคเตอร์ที่มีช่วงแรงดันอินพุตกว้าง และสามารถปรับค่าอัตราขยายทรานส์คอนดัคแตนซ์ได้อย่างเชิงเส้น ซึ่งรายระเอียดการออกแบบมีดังต่อไปนี้

3.1.1 วงจรทรานคอนดัคเตอร์ที่มีช่วงแรงดันอินพุตกว้าง

ในการออกแบบวงจรทรานส์คอนดัคเตอร์ที่มีช่วงแรงดันอินพุตกว้างนั้น เมื่อเราศึกษาโครงสร้างของวงจรทรานส์คอนดัคเตอร์แบบพื้นฐานในบทที่ 2 พบว่าความสัมพันธ์ของกระแสเอาต์พุตที่เป็นฟังก์ชั่นของแรงดันผลต่างของอินพุตสามารถให้ช่วงแรงดันดันอินพุตได้แคบประมาณ ±0.2 โวลต์ ดังนั้นจึงออกแบบวงจรทรานส์คอนดัคเตอร์โดยที่โครงสร้างของวงจรทรานคอนดัคเตอร์ที่มีช่วงแรงดันอินพุตกว้างแสดงดังภาพที่ 3.3 ซึ่งใช้หลักการออกแบบทรานส์คอนดัคเตอร์แบบลดทอนซอร์ส (source degeneration) ซึ่งเป็นเทคนิคการป้อนกลับแบบลบ (negative feedback) ที่ช่วยให้การเปลี่ยนแปลงแรงดันเป็นกระแสมีความเป็นเชิงเส้นมากขึ้น เนื่องจากแรงดันที่ตกคร่อมตัวต้านทานแบบแอคทีฟ R_S (ทรานซิสเตอร์ M_9 และ M_{10}) จะทำให้แรงดัน V_{GS} มีการเปลี่ยนแปลงระดับขึ้นลงน้อยลงส่งผลให้การแปลงแรงดันเป็นกระแสมีความเป็นเชิงเส้นมากขึ้น และช่วงแรงดันอินพุทได้กว้าง



ภาพที่ 3.2 โครงสร้างของวงจรทรานคอนดัคเตอร์ที่มีช่วงแรงดันอินพุตกว้าง

จากภาพที่ 3.2 ทรานซิสเตอร์ M_9 และ M_{10} ต่อไบอัสที่ขาซอร์สของทรานซิสเตอร์ M_{11} และ M_{12} (ทรานซิสเตอร์คู่ผลต่าง) ซึ่งเป็นการต่อในลักษณะการป้อนกลับแบบลบ โดยที่ทรานซิสเตอร์ M_9 และ M_{10} จะทำงานในช่วงไตรโอดเปรียบเสมือนตัวต้านทานแบบแอคทีฟ เมื่อพิจารณากระแสที่ไหลผ่านวงจรคู่ผลต่างทรานซิสเตอร์ M_9, M_{10}, M_{11} และ M_{12} โดยที่ทรานซิสเตอร์ M_{11} และ M_{12} มีความสมพงษ์กัน และกำหนดทรานซิสเตอร์ M_9 และ M_{10} มีความสมพงษ์กันโดยได้ออกแบบให้ค่าอัตราส่วนของ W/L มีค่าเท่ากับหนึ่ง เมื่อพิจารณากระแสที่ไหลผ่านวงจรคู่ผลต่างทรานซิสเตอร์จะมีค่าดังนี้คือ

$$I_{D11} = I_{D9} = \frac{1}{2}\mu_n C_{ox}\left(W/L\right)(V_{GS11} + V_{th})^2 \tag{3.4}$$

และ

$$I_{D12} = I_{D10} = \frac{1}{2}\mu_n C_{ox}\left(W/L\right)(V_{GS12} + V_{th})^2 \tag{3.5}$$

จากสมการที่ (3.4) และ (3.5) สมการแรงดันเกตซอร์ส V_{GS} ของทรานซิสเตอร์ M_{10}, M_{12} และ M_9, M_{11} มีค่าเท่ากับ $V_{GS9} = \sqrt{\frac{2I_{D11}}{\mu_n C_{ox}\left(\frac{W}{L}\right)}} + V_{th9}$, $V_{GS11} = \sqrt{\frac{2I_{D11}}{\mu_n C_{ox}\left(\frac{W}{L}\right)}} + V_{th11}$, $V_{GS10} = \sqrt{\frac{2I_{D12}}{\mu_n C_{ox}\left(\frac{W}{L}\right)}} + V_{th10}$ และ $V_{GS12} = \sqrt{\frac{2I_{D12}}{\mu_n C_{ox}\left(\frac{W}{L}\right)}} + V_{th12}$ พิจารณาที่โนดแรงดันอินพุต V_{in} โดยใช้ *KVL*

$$V_{in} = V_{GS12} + V_{GS10} - V_{GS11} - V_{GS9} \tag{3.6}$$

แทนค่า $V_{GS9}, V_{GS10}, V_{GS11}$ และ V_{GS12} ลงในสมการที่ (3.6) สามารถเขียนสมการ V_{in} ใหม่ได้ดังนี้

$$V_{in} = \sqrt{\frac{2}{\mu_n C_{ox}\left(\frac{W}{L}\right)}}\left(2\sqrt{I_{D12}} - 2\sqrt{I_{D11}}\right) + V_{th12} + V_{th10} - V_{th11} - V_{th9} \tag{3.7}$$

พิจารณาที่โนดเอาต์พุต โดยใช้ *KCL* กระแสเอาต์พุต I_O มีค่าเท่ากับ

$$I_O = I_{D16} - I_{D18} \tag{3.8}$$

และที่โนด I_{BB} มีค่าเท่ากับ

$$I_{BB} = I_{D11} + I_{D12} \tag{3.9}$$

จากสมการที่ (3.8) ถ้า $I_{D16} = I_{D12}$ และ $I_{D18} = I_{D11}$ กระแส $I_{D11} = I_O + I_{D12}$ จากสมการที่ (3.9) เมื่อสมการกระแส $I_{BB} = 2I_{D11} + I_O$ ดังนั้นกระแส I_{D11} และ I_{D12} เขียนใหม่ได้เป็น

$$I_{D11} = \frac{I_{BB} - I_o}{2}. \tag{3.10}$$

$$I_{D12} = \frac{I_{BB} + I_o}{2}. \tag{3.11}$$

แทนค่ากระแส I_{D11} และ I_{D12} ลงในสมการที่ (3.7)

$$V_{in} = \sqrt{\frac{2}{\mu_n C_{ox}\left(\frac{W}{L}\right)}}\left(2\sqrt{\frac{I_B + I_o}{2}} - 2\sqrt{\frac{I_B - I_o}{2}}\right) \tag{3.12}$$

จากสมการที่ (3.12) สามารถเขียนสมการใหม่ได้ดังนี้

$$\frac{V_{in}}{2\sqrt{\frac{I_{BB}}{\mu_n C_{ox}\left(\frac{W}{L}\right)}}} = \left(\sqrt{1 + \frac{I_o}{I_{BB}}} - \sqrt{1 - \frac{I_o}{I_{BB}}}\right) \tag{3.13}$$

ยกกำลังสองของสมการที่ (3.13) ทั้งสองข้าง

$$\frac{\frac{V_{in}^{\ 2}}{4I_{BB}}}{\mu_n C_{ox}\left(\frac{W}{L}\right)} = 1+\frac{I_o}{I_{BB}} - 2\sqrt{\left(1+\frac{I_o}{I_{BB}}\right)\left(1-\frac{I_o}{I_{BB}}\right)} + 1-\frac{I_o}{I_{BB}} \tag{3.14}$$

จากสมการที่ (3.14) สามารถเขียนสมการใหม่เพื่อหากระแสทางเอาต์พุตของวงจรได้ดังนี้

$$1-\frac{\frac{V_{in}^{\ 2}}{8I_{BB}}}{\mu_n C_{ox}\left(\frac{W}{L}\right)} = \sqrt{1-\left(\frac{I_o}{I_{BB}}\right)^2} \tag{3.15}$$

ยกกำลังสองของสมการที่ (3.15) ทั้งสองข้างและจัดรูปสมการใหม่จะได้

$$\frac{I_o}{I_{BB}} = \sqrt{1-\left\{\frac{\frac{V_{in}^{\ 2}}{8I_{BB}}}{\mu_n C_{ox}\left(W/L\right)}\right\}^2} \tag{3.16}$$

จากสมการที่ (3.16) สมการกระแสทางเอาต์พุตของวงจรได้ดังนี้

$$I_o = \frac{V_{in}}{2}\sqrt{\mu_n C_{ox}\left(W/L\right) I_{BB}}\sqrt{1-\frac{\mu_n C_{ox}\left(W/L\right)V_{in}^{\ 2}}{16I_{BB}}} \tag{3.17}$$

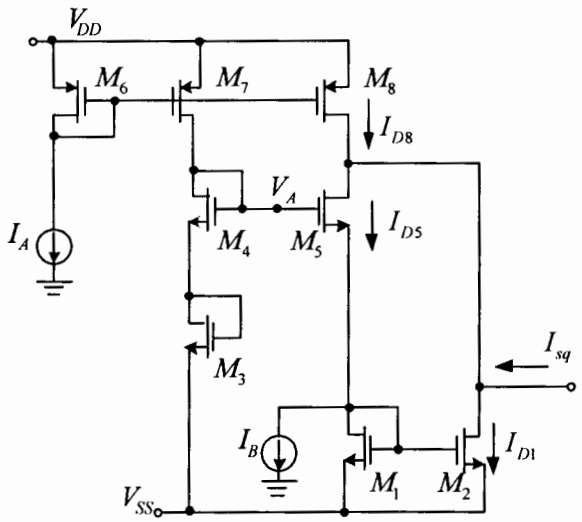
จากสมการที่ (3.17) ค่าของ $\sqrt{1-\frac{\mu_n C_{ox}\left(W/L\right)V_{in}^{\ 2}}{16I_{BB}}}$ มีค่าประมาณหนึ่ง ดังนั้นสมการกระแสทางเอาต์พุตของวงจรมีค่าเท่ากับ

$$I_o = \frac{V_{in}}{2}\sqrt{\mu_n C_{ox}\left(W/L\right) I_{BB}} \tag{3.18}$$

จากสมการที่ (3.18) พบว่าแรงดันอินพุตของวงจรทรานส์คอนดัคเตอร์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น ที่ออกแบบให้ค่าอัตราขยายทรานส์คอนดัคแตนซ์ที่นำเสนอนั้นสามารถป้อนแรงดันอินพุตได้กว้างกว่าเป็นสองเท่าของวงจรทรานส์คอนดัคเตอร์แบบซีมอสที่มีโครงสร้างเป็นแบบพื้นฐาน

3.1.2 วงจรยกกำลังสองสัญญาณกระแส

วงจรยกกำลังสองสัญญาณกระแส (current squaring circuit) ถูกนำเสนอครั้งแรกโดย K. Bult และ H. Wallinga [23] วงจรยกกำลังสองสัญญาณกระแสประกอบด้วย ส่วนของวงจรสะท้อนกระแส ได้แก่ทรานซิสเตอร์ M_6, M_7, M_8 และส่วนของวงจรยกกำลังสองสัญญาณกระแส ได้แก่ทรานซิสเตอร์ $M_1, M_2, M_3, M_4, M_5, M_6$ ซึ่งเดิมวงจรยกกำลังสองสัญญาณกระแสจะมีค่าของ $2I_A$ บวกอยู่กับฟังก์ชันยกกำลังสองสัญญาณกระแส เมื่อนำวงจรยกกำลังสองสัญญาณกระแสแบบเดิมมาใช้ในการออกแบบจะมีผลทำให้วงจรทรานคอนดัคเตอร์ที่ออกแบบมีตัวแปรเพิ่มมากขึ้นทำให้วงจรเกิดออฟเซ็ตมากขึ้น ดังนั้นจึงออกแบบในส่วนของวงจรสะท้อนกระแสเพิ่มเติม ให้กระแสมีค่าเท่ากับ $2I_A$ โดยออกแบบให้ขนาดของทรานซิสเตอร์ M_8 ให้มีค่า (W/L) เป็นมีค่าเป็นสองเท่า ของวงจรสะท้อนกระแส เพื่อมาลบกับ $2I_A$ โครงสร้างของวงจรแสดงดังภาพที่ 3.3



ภาพที่ 3.3 โครงสร้างของวงจรยกกำลังสองสัญญาณกระแส

จากวงจรภาพที่ 3.3 ถ้าออกแบบวงจรให้ซีมอสทรานซิสเตอร์มีความสมพงษ์กันทุกตัว (perfectly matched) และกำหนดให้อัตราส่วนของความกว้างและความยาวของช่องทางเดินกระแส (W/L) ของทรานซิสเตอร์แบบซีมอส $M_1, M_2, M_3, M_4, M_5, M_6$ และ M_7 ให้มีค่าเท่ากัน ส่วนของซีมอสทรานซิสเตอร์ M_8 ให้มีค่า (W/L) เป็นมีค่าเป็นสองเท่า เมื่อไบอัสให้ทรานซิสเตอร์แบบซีมอสทำงานในช่วงอิ่มตัวจะได้กระแสเดรนของทรานซิสเตอร์แบบซีมอส M_1, M_5 และ M_8 มีค่าดังสมการที่ (3.19) ถึงสมการที่ (3.21)

$$I_{D1} = \frac{1}{2}\mu_n C_{ox}\left(W/L\right)(V_{GS1} + V_{th})^2 \tag{3.19}$$

$$I_{D5} = \frac{1}{2}\mu_n C_{ox}\left(W/L\right)(V_{GS5} + V_{th})^2 \tag{3.20}$$

$$I_{D8} = \frac{1}{2}\mu_n C_{ox}\left(W/L\right)(V_{GS8} + V_{th})^2 \tag{3.21}$$

โดยที่แรงดันไบอัสที่จุด V_A มีค่าดังสมการที่ (3.22)

$$V_B = V_{GS1} + V_{GS5} \tag{3.22}$$

และกระแสอาท์พุตของวงจร I_{out} มีค่าเท่ากับ

$$I_{out} = I_{D1} + I_{D5} - I_{D8} \tag{3.23}$$

แทนสมการที่ (3.19), (3.20), (3.21) และ (3.22) ลงในสมการที่ (3.23) จะได้กระแสเอาต์พุต มีค่าดังสมการที่ (3.9)

$$I_{out} = 2I_A + \frac{(I_{D1} - I_{D5})^2}{8I_A} - 2I_A \tag{3.24}$$

โดยที่ I_A คือกระแสไบอัสของวงจร พิจารณาที่จุด สัญญาณเข้าจะได้กระแสอินพุต I_B ของวงจรมีค่าดังสมการที่ (3.25)

$$I_B = I_{D1} - I_{D5} \tag{3.25}$$

เมื่อแทนค่า I_B จากสมการที่ (3.25) ลงในสมการที่ (3.24) สามารถเขียนใหม่ได้เป็น

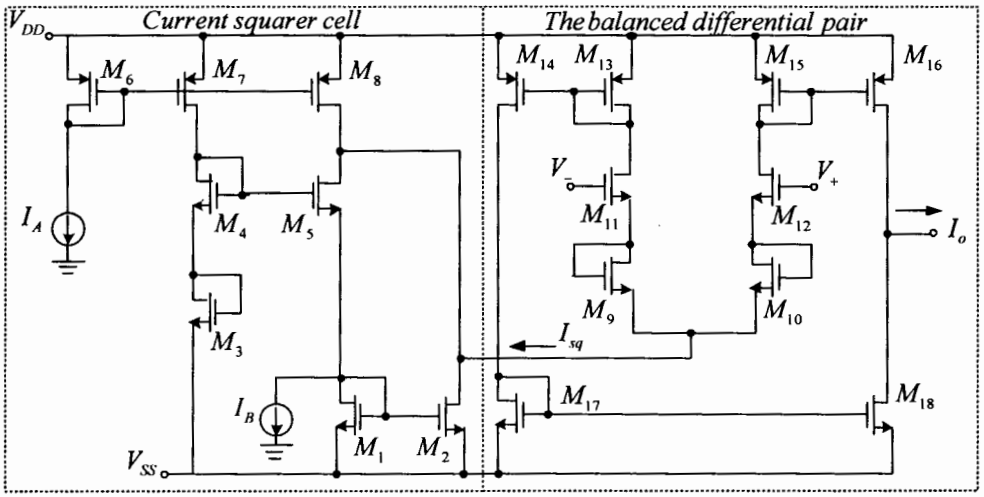
$$I_{out} = 2I_A + \frac{I_B^2}{8I_A} - 2I_A \quad = \frac{I_B^2}{8I_A} : |I_B| \le 4I_A \tag{3.26}$$

จากสมการที่ (3.26) จะเห็นได้ว่ากระแสเอาต์พุตของวงจรมีค่าเป็นกำลังสองของกระแสอินพุตร่วมกับกระแสไบอัส โดยกระแสไบอัส I_B จะต้องมีค่าน้อยกว่าหรือเท่ากับ $4I_A$

3.1.3 วงจรทรานส์คอนดัคเตอร์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้นที่สมบูรณ์

วงจรทรานส์คอนดัคเตอร์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้นที่ออกแบบให้ค่าอัตราขยายทรานส์คอนดัคแตนซ์ สามารถปรับค่าขยายได้อย่างเชิงเส้นด้วยวิธีอิเล็กทรอนิกส์ แสดงดังภาพที่ 3.4 โดยออกแบบให้ส่วนของกระแสดีซีไบอัสของคู่ผลต่าง (differential pair) อยู่ในเทอมของ I_B^2 นั้นคือต้องอาศัยการทำงานของวงจรยกกำลังสองของสัญญาณกระแส (current squarer) และปรับค่าช่วงแรงดันอินพุตได้กว้าง โดยออกแบบทรานส์คอนดัคเตอร์แบบลดทอนซอร์ส (source degeneration) ซึ่งเป็นเทคนิคการป้อนกลับแบบลบ (negative feedback) ที่ช่วยให้การเปลี่ยนแปลงแรงดัน

เป็นกระแสมีความเป็นเชิงเส้นมากขึ้น เนื่องจากแรงดันที่ตกคร่อมตัวต้านทานแบบแอคทีฟ R_S จะทำให้แรงดัน V_{gs} มีการเปลี่ยนแปลงระดับขึ้นลงน้อยลงส่งผลให้การแปลงแรงดันเป็นกระแสมีความเป็นเชิงเส้นมากขึ้น และช่วงแรงดันอินพุตได้กว้าง



ภาพที่ 3.4 โครงสร้างของวงจรซีมอสโอทีเอแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น

3.2 การวิเคราะห์สมรรถนะของวงจรซีมอสโอทีเอแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น

ในหัวข้อที่ผ่านมาเป็นการวิเคราะห์ส่วนประกอบของวงจรทรานส์คอนดัคเตอร์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้นซึ่งวงจรประกอบด้วยในส่วนของวงจรยกกำลังสองของสัญญาณกระแส และวงจรทรานส์คอนดัคเตอร์แบบซีมอสที่มีช่วงแรงดันอินพุตกว้าง ในหัวข้อนี้จะทำการวิเคราะห์คุณสมบัติของวงจรเพื่อหาสมรรถนะของวงจรที่นำเสนอ

3.2.1 การหาช่วงปฏิบัติงานอินพุตของวงจรเปลี่ยนแรงดันเป็นกระแส

จากสมการกระแสทางเอาท์พุตของวงจรในสมการที่ (3.26) เมื่อ $I_{BB} = I_{sq} = \frac{I_B^{\,2}}{8I_A}$ และ $k = \mu_n C_{ox}\left(W/L\right)$ ดังนั้นสมการกระแสทางเอาท์พุตของวงจรมีค่าดังสมการที่ (3.27)

$$I_O = \frac{V_{in} I_B}{2}\sqrt{\frac{k}{8I_A}} \tag{3.27}$$

จากสมการที่ (3.25) ค่าแรงดันอินพุตของวงจรมีค่าเท่ากับ $-2\sqrt{\frac{I_{BB}}{k}} \le V_{in} \le 2\sqrt{\frac{I_{BB}}{k}}$ ซึ่งค่าของแรงดันอินพุตของวงจรทรานส์คอนดัคเตอร์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น จะมีค่ามากกว่าโอทีเอที่เป็นโครงสร้างแบบง่ายเป็นสองเท่า และค่ากระแสเอาต์พุตสูงสุดของวงจรทรานส์คอนดัคเตอร์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้นจะมีค่าเท่ากับสมการที่ (3.27)

3.2.2 การหาค่าอัตราขยายทรานคอนดัคแตนซ์ของวงจร

จากสมการที่ (3.27) ค่าอัตราขยายทรานคอนดักแตนซ์ของวงจรทรานส์คอนดัคเตอร์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น $g_m = I_o/V_{in}$ สามารถหาค่าอัตราขยายทรานคอนดัคแตนซ์ได้ดังสมการที่ (3.28)

$$g_m = \frac{I_B}{2}\sqrt{\frac{k}{8I_A}} \tag{3.28}$$

สมการอัตราขยายทรานคอนดัคแตนซ์ของวงจรในสมการที่ (3.28) พบว่ากระแสดีซีไบอัส I_B ไม่ได้อยู่ในเทอมของรากที่สอง ดังนั้นค่าอัตราขยายทรานคอนดัคแตนซ์ของวงจรจึงสามารถปรับค่าอัตราขยายทรานคอนดัคแตนซ์ได้อย่างเป็นเชิงเส้นโดยการควบคุมด้วยกระแสดีซีไบอัส I_B จากภายนอก และถ้าหากค่าของ $\frac{\mu_n C_{ox}\left(W/L\right)V_{in}^{\ 2}}{16I_{BB}}$ □ 1 ในสมการที่ (3.25) เมื่อแรงดันอินพุตมีค่าน้อยมากๆ และค่าของกระแสไบอัสมีค่ามากจะเป็นผลให้สมการมีค่าน้อยกว่าหนึ่ง ซึ่งค่าอัตราการขยายทรานคอนดัคแตนซ์ของวงจรสามารถเขียนใหม่ได้เป็น

$$g_m = \frac{I_o}{V_{in}} = \frac{1}{2}\sqrt{\mu_n C_{ox}\left(W/L\right)I_{BB}}\sqrt{1-\frac{\mu_n C_{ox}\left(W/L\right)V_{in}^{\ 2}}{16I_{BB}}} \tag{3.29}$$

ค่าความผิดพลาดของอัตราขยายทรานคอนดัคแตนซ์ของวงจร (Transconductance error) มีค่าดังสมการที่ (3.30)

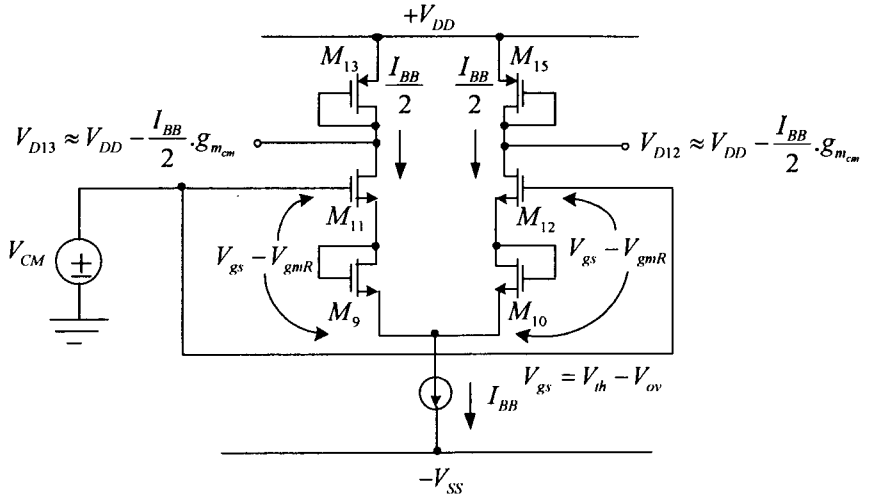
$$Error = \sqrt{\frac{\mu_n C_{ox}\left(W/L\right)V_{in}^{\ 2}}{16I_{BB}}} \tag{3.30}$$

ดังนั้น จึงสามารถหาค่าร้อยละของค่าความผิดพลาดของอัตราขยายทรานคอนดัคแตนซ์ของวงจร เมื่อ $I_{BB} = \frac{I_B^{\ 2}}{8I_A}$ ได้ดังสมการที่ (3.31)

$$\%Error = \sqrt{\frac{\mu_n C_{ox}\left(W/L\right)V_{in}^{\ 2}}{\frac{2I_B^{\ 2}}{I_A}}} \times 100\% \tag{3.31}$$

3.2.3 การหาค่าแรงดันโหมดร่วมสูงสุด

ในหัวข้อนี้จะทำการวิเคราะห์หาค่าแรงดันโหมดร่วมได้สูงสุด โครงสร้างของวงจรที่ทำการวิเคราะห์แสดงดังภาพที่ 3.5 แสดงการทำงานของคู่ผลต่าง พิจารณาที่ขาเกตของทรานซิสเตอร์แบบซีมอส M_{11} และ M_{12} ต่ออยู่กับแรงดันอินพุต (V_{CM}: common-mode voltage) ซึ่ง $V_{CM} = V_{G11} = V_{G12}$ โดยที่ทรานซิสเตอร์แบบซีมอส M_{11} และ M_{12} มีความสมพงษ์กัน โดยที่กระแสไบอัสคู่ผลต่างมีค่าครึ่งหนึ่งของกระแสไบอัส $I_{D11} = I_{D12} = I_{BB}/2$ และแรงดันที่ขาซอร์ส V_S มีค่าเท่ากับ $V_S = V_{CM} - V_{gs} - V_{gmR}$



ภาพที่ 3.5 โครงสร้างการหาค่าแรงดันโหมดร่วมได้สูงสุด

เมื่อ V_{gs} คือแรงดันเกต-ซอร์สของคู่ผลต่าง และ V_{gmR} คือแรงดันตกคร่อมตัวต้านทานแบบแอคทีฟ (ทรานซิสเตอร์แบบซีมอส M_9 และ M_{10}) เมื่อพิจารณาความสัมพันธ์ของกระแสไบอัสคู่ผลต่าง และแรงดันเกต-ซอร์ส จะได้ดังสมการที่ (3.32)

$$\frac{I_{BB}}{2} = \frac{1}{2}\mu_n C_{ox}\left(W/L\right)(V_{gs} + V_{th})^2 \qquad (3.32)$$

เมื่อ $I_{BB} = \frac{I_B^{\,2}}{8I_A}$ จัดรูปสมการที่ (3.32) ใหม่จะได้

$$\frac{I_B^{\,2}}{16I_A} = \frac{1}{2}\mu_n C_{ox}\left(W/L\right)(V_{gs} + V_{th})^2 \qquad (3.33)$$

เมื่อเทอมของแรงดัน overdrive voltage (V_{OV}) มีค่าเท่ากับ $V_{OV} = V_{gs} + V_{th}$ และ $K_n = \mu_n C_{ox}$ จัดรูปสมการที่ (3.32) ใหม่จะได้

$$\frac{I_B^{\,2}}{16I_A} = \frac{1}{2}K_n\left(W/L\right)V_{OV}^{\,2} \tag{3.34}$$

จากสมการที่ (3.34) แรงดัน overdrive voltage มีค่าคือ

$$V_{OV} = I_B\sqrt{\frac{1}{8I_AK_n(W/L)}} \tag{3.35}$$

จากวงจรภาพที่ 3.5 พิจารณาแรงดันที่ตกคร่อมทรานซิสเตอร์แบบซีมอส M_{13} และ M_{15} ซึ่งเป็นวงจรสะท้อนสัญญาณกระแส และแรงดันที่ตกคร่อมทรานซิสเตอร์แบบซีมอส M_9 และ M_{10} เพื่อหาค่าแรงดันที่เดรนของทรานซิสเตอร์คู่ผลต่าง ดังสมการที่ (3.36)

$$V_{D11} = V_{D12} = V_{DD} - \frac{I_B^{\,2}}{16I_A}g_{mcm} - \frac{I_B^{\,2}}{16I_A}g_{mR} \tag{3.36}$$

ค่าเปลี่ยนแปลงแรงดันอินพุตได้สูงที่สุดของวงจร $V_{CM\max}$ มีค่าดังสมการที่ (3.37)

$$V_{CM\max} = V_{th} + V_{DD} - \frac{I_B^{\,2}}{16I_A}g_{mcm} - \frac{I_B^{\,2}}{16I_A}g_{mR} \tag{3.37}$$

และค่าเปลี่ยนแปลงแรงดันอินพุตต่ำที่สุดของวงจร $V_{CM\min}$ มีค่าดังสมการที่ (3.38)

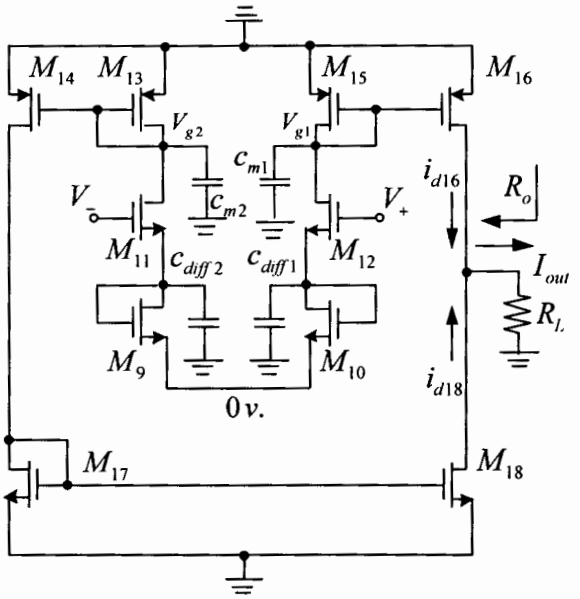
$$V_{CM\min} = -V_{SS} + V_{th} + V_{D12} + V_{OV} \tag{3.38}$$

ดังนั้นค่าเปลี่ยนแปลงแรงดันอินพุตได้สูงที่สุดและต่ำที่สุดของวงจรมีค่าเท่ากับ

$$-V_{SS} + V_{th} + V_{D12} + V_{OV} \le V_{CM} \le V_{th} + V_{DD} - \frac{I_B^{\,2}}{16I_A}g_{mcm} - \frac{I_B^{\,2}}{16I_A}g_{mR} \tag{3.39}$$

3.3 การวิเคราะห์หาช่วงความถี่ปฏิบัติงานของวงจรทรานคอนดัคเตอร์

ในหัวข้อนี้เราจะการวิเคราะห์หาช่วงความถี่ปฏิบัติงานของวงจรทรานคอนดัคเตอร์ โดยต่ออินพุตที่เป็นสัญญาณซายน์ (sinusoidal) หรือเรียกว่าเป็นการวิเคราะห์ในโดเมนความถี่ (frequency domain) เพื่อการหาช่วงความถี่ปฏิบัติงานของวงจรทรานคอนดัคเตอร์นั้นจะทำการป้อนค่าความถี่ของสัญญาณอินพุตในช่วงความถี่หนึ่ง แล้วนำผลตอบสนองของวงจรในช่วงความถี่นั้นมาทำการวิเคราะห์ ซึ่งเป็นการวิเคราะห์สัญญาณขนาดเล็ก โดยจะคำนึงถึงค่าความจุแฝงในตัวทรานซิสเตอร์ เช่น C_{gs}, C_{ds}, C_{gd} เป็นต้น โดยวงจรทรานคอนดัคเตอร์ เพื่อหาช่วงความถี่ปฏิบัติงานแสดงดังภาพที่ 3.8



ภาพที่ 3.6 วงจรทรานคอนดัคเตอร์ในการวิเคราะห์หาช่วงความถี่ปฏิบัติงาน

จากวงจรในภาพที่ 3.6 พิจารณาช่วงความถี่ปฏิบัติงาน (frequency response) วงจรขยายผลต่างที่มีโหลดเป็นวงจรสะท้อนสัญญาณกระแส (ทรานซิสเตอร์ M_{13}, M_{14}, M_{15} และ M_{16}) ของวงจรทรานคอนดัคเตอร์ มีตัวเก็บประจุต่ออยู่จำนวน 4 ตัว ต่อที่โนดอินพุตของวงจรสะท้อนสัญญาณกระแส โดย C_m คือผลรวมของตัวเก็บประจุของวงจรสะท้อนสัญญาณกระแสที่โนดอินพุตของวงจรสะท้อนสัญญาณกระแส C_{diff} คือผลรวมของตัวเก็บประจุของวงจรขยายผลต่าง และ R_L คือความต้านทานที่โนดเอาต์พุต ผลรวมของค่าความจุของวงจรสะท้อนสัญญาณกระแส C_m สามารถเขียนได้ดังสมการที่ (3.40)

$$C_m = C_{m1} + C_{m2} \tag{3.40}$$

เมื่อ C_{m1} และ C_{m2} หาได้จาก

$$C_{m1} = C_{gs15} + C_{gs16} + C_{gd15} + C_{gd16} \tag{3.41}$$

$$C_{m2} = C_{gs13} + C_{gs14} + C_{gd13} + C_{gd14} \tag{3.42}$$

ผลรวมของค่าความจุของวงจรขยายผลต่าง C_{diff} สามารถเขียนได้ดังสมการที่ (3.43)

$$C_{diff} = C_{diff1} + C_{diff2} \tag{3.43}$$

เมื่อ C_{diff1} และ C_{diff2} หาได้จาก

$$C_{diff1} = C_{gs12} + C_{gs10} + C_{gd12} + C_{gd10} \tag{3.44}$$

$$C_{diff2} = C_{gs11} + C_{gs9} + C_{gd11} + C_{gd9} \tag{3.45}$$

การคำนวณหาค่าช่วงความถี่ปฏิบัติงานของวงจรที่นำเสนอได้ละเลยค่าของ C_{gd} เนื่องจากมีค่าเท่ากับศูนย์ ดังนั้นเมื่อพิจารณาวงจรในภาพที่ 3.8 ในสัญญาณกระแสเดรนของทรานซิสเตอร์ M_{12} มีค่าเท่ากับ $g_m(V_{in}/2)$ ไหลผ่านที่ทรานซิสเตอร์ M_{15} ที่ต่อใช้งานแบบไดโอด และทำให้กระแสไหลผ่าน $1/g_{m15}$ และ C_{m2} ที่ต่อขนานกันโดยละเลยความต้านทาน r_{o12} and r_{o15} เพราะมีค่าน้อยกว่า $1/g_{m15}$ มาก จึงสามารถหาค่าแรงดันที่โนด V_{g1} ได้ดังนี้

$$V_{g1} = \frac{-\left[g_{m12} - \frac{g_{m10}}{\left(g_{m10} + g_{m12} + s\left(C_{gs10} + C_{gs12}\right)\right)}\right]}{g_{m15} + sC_{m1}} \cdot \frac{V_{in}}{2} \tag{3.46}$$

กระแสเดรนของทรานซิสเตอร์ M_{16} หาได้ดังนี้

$$i_{d16} = -g_{m16} V_{g1} \tag{3.47}$$

แทนค่าแรงดัน V_{g1} จากสมการที่ (3.46) ลงในสมการที่ (3.47) กระแสเดรนของทรานซิสเตอร์ M_{16} i_{d16} ได้สมการกระแสใหม่ดังสมการที่ (3.48)

$$i_{d16} = \frac{\left[g_{m12} - \frac{g_{m10}}{\left(g_{m10} + g_{m12} + s\left(C_{gs10} + C_{gs12}\right)\right)}\right]}{1 + \frac{sC_{m1}}{g_{m15}}} \cdot \frac{V_{in}}{2} \tag{3.48}$$

และค่าแรงดันที่โนด V_{g2} หาได้ดังนี้

$$V_{g2} = \frac{-\left[g_{m13} - \frac{g_{m9}}{\left(g_{m9} + g_{m11} + s\left(C_{gs9} + C_{gs11}\right)\right)}\right]}{g_{m13} + sC_{m2}} \cdot \frac{V_{in}}{2} \tag{3.49}$$

จากวงจรสะท้อนกระแสเมื่อกระแส $i_{d14} = i_{d17} = i_{d18}$ กระแสเดรนของทรานซิสเตอร์ $M_{18}(i_{d18})$ หาได้ดังนี้

$$i_{d18} = -g_{m18} V_{g2} \tag{3.50}$$

แทนค่าแรงดัน V_{g2} จากสมการที่ (3.49) ลงในสมการที่ (3.50) กระแสเดรนของทรานซิสเตอร์ $M_{18}(i_{d18})$ หาได้ดังนี้

$$i_{d18} = \frac{\left[g_{m11} - \frac{g_{m9}}{\left(g_{m9} + g_{m11} + s\left(C_{gs9} + C_{gs11} \right) \right)} \right]}{1 + \frac{sC_{m2}}{g_{m13}}} \cdot \frac{V_{in}}{2} \tag{3.51}$$

ดังนั้น สามารถหาค่ากระแสทางเอาต์พุตของวงจรได้จากผลรวมของกระแสเดรนของทรานซิสเตอร์ M_{16} กับกระแสเดรนของทรานซิสเตอร์ M_{18}

$$i_{out} = i_{d16} + i_{d18} \tag{3.52}$$

เมื่อ $R_o = r_{o16} // r_{o18}$ ค่าแรงดันเอาต์พุตหาได้

$$V_o = i_{out} \frac{1}{\frac{1}{R_o} + R_l} \tag{3.53}$$

เมื่อ $g_{m9} = g_{m10} = g_{mR}$, $g_{m13} = g_{m15} = g_{m_{cm}}$ และ $g_{m11} = g_{m12} = g_{m_{diff}}$ แทนค่ากระแสทางเอาต์พุตของวงจร (i_{out}) จากสมการที่ (3.52) ลงในสมการที่ (3.53) จะได้

$$\frac{v_o}{v_{in}} = \left[\frac{g_{m_{diff}} - \frac{\frac{g_{m_R}}{g_{m_R} + g_{m_{diff}}}}{1 + \frac{sC_{diff}}{g_{m_R} + g_{m_{diff}}}}}{1 + \frac{sC_m}{g_{m_{cm}}}} \right] \cdot \left[\frac{1}{\frac{1}{R_o} + R_l} \right] \tag{3.54}$$

จากสมการที่ (3.54) ค่าความจุของ C_m ที่อินพุตของวงจรสะท้อนสัญญาณกระแสทำให้เกิดความถี่โพล f_p คือ

$$f_p = \frac{g_{m_{cm}}}{sC_m} \tag{3.55}$$

และค่าความจุของ C_{diff} ของวงจรขยายผลต่างทำให้เกิดซีโล่ของความถี่ f_z มีค่าดังสมการที่ (3.56)

$$f_z = \frac{g_{m_R} + g_{m_{diff}}}{sC_{diff}} \tag{3.56}$$

3.4 บทสรุป

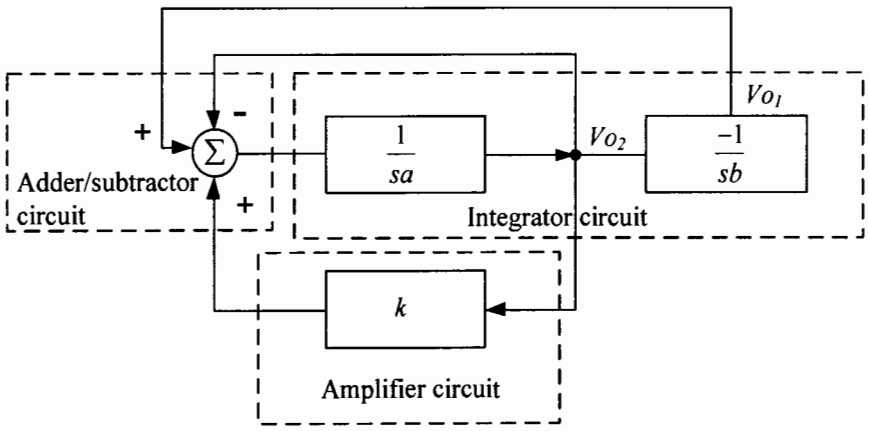
ในบทนี้ได้กล่าวถึงคุณสมบัติพื้นฐานของวงจรทรานส์คอนดัคเตอร์แบบมีช่วงอินพุตกว้าง และสามารถปรับค่าอัตราขยายทรานส์คอนดัคแตนซ์ได้อย่างเชิงเส้น โดยวงจรจะประกอบด้วยวงจรทรานส์คอนดัคเตอร์ที่มีช่วงแรงดันอินพุตกว้าง โดยการออกแบบให้ทรานส์คอนดัคเตอร์แบบลดทอนซอร์ส (source degeneration) ซึ่งเป็นเทคนิคการป้อนกลับแบบลบ (negative feedback) ที่ช่วยให้การเปลี่ยนแปลงแรงดันเป็นกระแสมีความเป็นเชิงเส้นมากขึ้น เนื่องจากแรงดันที่ตกคร่อมตัวต้านทานแบบแอคทีฟ R_S จึงทำให้แรงดัน V_{GS} มีการเปลี่ยนแปลงระดับขึ้นลงน้อยลง ส่งผลให้การแปลงแรงดันเป็นกระแสมีความเป็นเชิงเส้นมากขึ้น และช่วงแรงดันอินพุตได้กว้าง และวงจรยกกำลังสองของสัญญาณกระแสโดยออกแบบให้ส่วนของกระแสดีซีไบอัสของคู่ผลต่างอยู่ในเทอมของกำลังสอง I_B^2 จากนั้นเป็นการวิเคราะห์ และออกแบบวงจรทรานส์คอนดัคเตอร์ที่นำเสนอซึ่งได้อธิบายการทำงานของวงจร และการวิเคราะห์สมรรถนะของวงจรเกี่ยวกับช่วงปฏิบัติงานอินพุตของวงจรเปลี่ยนแรงดันเป็นกระแส การหาค่าอัตราขยายทรานคอนดักแตนซ์ของวงจร การหาค่าเปลี่ยนแปลงแรงดันอินพุตสูงสุดการหาค่าแรงดันอินพุตออฟเซ็ตของวงจร และการวิเคราะห์หาช่วงความถี่ปฏิบัติงานของวงจรทรานคอนดัคเตอร์ ซึ่งในบทที่ 5 จะได้นำเสนอสมรรถนะของวงจรโดยการจำลองการทำงาน

บทที่ 4
การประยุกต์ใช้งาน

จากบทที่ผ่านมาได้กล่าวถึงการออกแบบวงจรที่นำเสนอในวิทยานิพนธ์ ดังนั้นเพื่อเป็นการยืนยันถึงการนำไปใช้ประโยชน์ของวงจรทรานส์คอนดัคแตนซ์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น ที่ได้ออกแบบไว้ จึงขอกล่าวถึงตัวอย่างการนำเอาวงจรทรานส์คอนดัคแตนซ์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น ไปประยุกต์ใช้งานในบางวงจร ได้แก่ วงจรกำเนิดสัญญาณซายน์ วงจรคูณสัญญาณ และวงจรกรองความถี่หลายหน้าที่ดังนี้

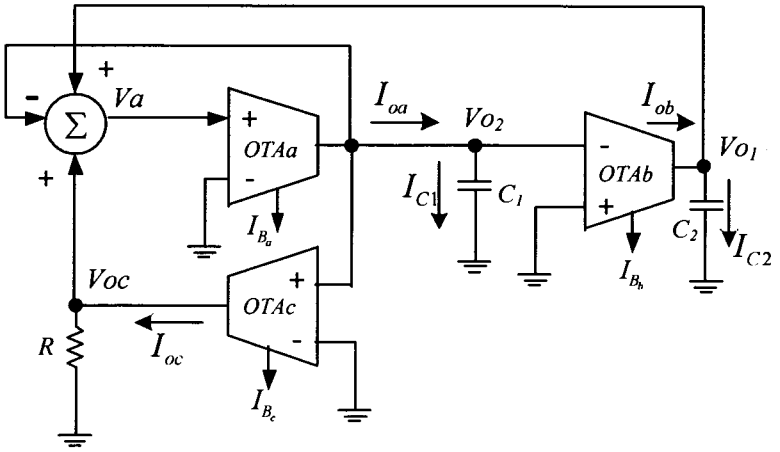
4.1 วงจรกำเนิดสัญญาณซายน์

สำหรับวงจรกำเนิดสัญญาณรูปซายน์แบบควอดราเจอร์ ที่สัญญาณเอาต์พุตจะมีเฟสต่างกัน 90° ซึ่งสามารถประยุกต์ใช้งานเกี่ยวกับ selective voltmeters ในระบบเครื่องมือวัด เครื่องกำเนิดสัญญาณแบบ simple sideband และการผสมสัญญาณแบบควอดราเจอร์ เป็นต้น [26-28] โดยมีโครงสร้างของวงจรประกอบด้วย วงจรอินทิเกรทเตอร์ วงจรขยายสัญญาณ และวงจรบวกลบสัญญาณ ดังแสดงในภาพที่ 4.1



ภาพที่ 4.1 บล็อกไดอะแกรมของวงจรกำเนิดสัญญาณ

จากบล็อกไดอะแกรมของวงจรกำเนิดสัญญาณตามภาพที่ 4.1 ทำการออกแบบโดยใช้วงจรทรานส์คอนดัคแตนซ์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น ซึ่งวงจรประกอบด้วย วงจรทรานส์คอนดัคแตนซ์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้นจำนวน 3 ตัว ตัวเก็บประจุที่ต่อลงกราวด์จำนวน 2 ตัว ตัวต้านทานที่ต่อลงกราวด์จำนวน 1 ตัว และวงจรบวกลบสัญญาณ โครงสร้างของวงจรกำเนิดสัญญาณแสดงดังภาพที่ 4.2



ภาพที่ 4.2 โครงสร้างของวงจรกำเนิดสัญญาณ

จากโครงสร้างของวงจรกำเนิดสัญญาณที่แสดงในภาพที่ 4.2 ออกแบบให้ $OTAa$ และตัวเก็บประจุ C_1 ต่อลงกราวด์ เป็นวงจรอินทิเกรทเตอร์ a ส่วน $OTAb$ และตัวเก็บประจุ C_2 ต่อลงกราวด์ ออกแบบให้เป็นวงจรอินทิเกรทเตอร์ b และ $OTAc$ และ R ออกแบบให้เป็นวงจรขยายสัญญาณ โดยสัญญาณเอาต์พุตของวงจรอยู่ที่จุดเอาต์พุต V_{o2} ของ $OTAa$ และสัญญาณเอาต์พุตของวงจรอยู่ที่จุดเอาท์พุต V_{o1} ของ $OTAb$ ซึ่งแรงดันเอาท์พุต V_{o1} และแรงดันเอาท์พุต V_{o2} จะมีเฟสต่างกัน 90 องศา จากภาพที่ 4.2 พิจารณาสมการแรงดันที่โนด Va จะได้

$$V_a = V_{o1} - V_{o2} + V_{oc} \tag{4.1}$$

พิจารณาที่โนดเอาต์พุตของ $OTAa$

$$I_{oa} = I_{C1} \tag{4.2}$$

$$g_{ma}V_a = \frac{V_{O2}}{1/S_{C1}} \tag{4.3}$$

$$V_{O2} = \frac{g_{ma}V_a}{S_{C1}} \tag{4.4}$$

พิจารณาที่โนดเอาต์พุตของ $OTAb$

$$I_{ob} = I_{C2} \tag{4.5}$$

$$-g_{mb}V_{O2} = V_{O1}S_{C2} \tag{4.6}$$

$$V_{O1} = -\frac{g_{mb}V_{O2}}{S_{C2}} \tag{4.7}$$

พิจารณาที่โนดเอาต์พุตของ $OTAc$

$$I_{oc} = \frac{V_{oc}}{R} \tag{4.8}$$

$$V_{oc} = I_{oc}R \tag{4.9}$$

$$V_{oc} = g_{mc}V_{o2}R \tag{4.10}$$

แทนค่าสมการที่ (4.4) ลงในสมการที่ (4.7) และสมการที่ (4.10) จะได้

$$V_{O1} = -\frac{g_{ma}g_{mb}V_a}{S_{C1}S_{C2}} \tag{4.11}$$

$$V_{oc} = \frac{g_{ma}g_{mc}RV_a}{S_{C1}} \tag{4.12}$$

แทนค่าสมการที่ (4.4) สมการที่ (4.11) และสมการที่ (4.12) ลงในสมการที่ (4.1) จะได้

$$V_a = -\frac{g_{ma}g_{mb}V_a}{S_{C1}S_{C2}} - \frac{g_{ma}V_a}{S_{C1}} + \frac{g_{ma}g_{mc}RV_a}{S_{C1}} \tag{4.13}$$

คุณสมบัติของวงจรกำเนิดสัญญาณแสดงดังสมการที่ (4.13)

$$s^2C_1C_2 + sC_2g_{m_a}\left(1 - g_{m_c}R\right) + g_{m_a}g_{m_b} = 0 \tag{4.14}$$

จากสมการที่ (4.14) เงื่อนไขของการกำเนิดสัญญาณ และการกำเนิดสัญญาณความถี่ แสดงดังสมการที่ (4.15) และสมการที่ (4.16)

$$R.g_{m_c} \geq 1 \tag{4.15}$$

$$\omega_{osc} = \sqrt{\frac{g_{m_a}g_{m_b}}{C_1C_2}} \tag{4.16}$$

จากสมการที่ (4.15) และสมการที่ (4.16) ถ้า $g_{m_a} = \frac{I_{B_a}}{2}\sqrt{\frac{k}{8I_A}}$, $g_{m_b} = \frac{I_{B_b}}{2}\sqrt{\frac{k}{8I_A}}$ และ $g_{m_c} = \frac{I_{B_c}}{2}\sqrt{\frac{k}{8I_A}}$ เงื่อนไขของการกำเนิดสัญญาณ และการกำเนิดสัญญาณความถี่ สามารถเขียนใหม่ได้ดังสมการที่ (4.17) และสมการที่ (4.18)

$$\frac{RI_{B_c}}{2}\sqrt{\frac{k}{8I_A}} \geq 1. \tag{4.17}$$

$$\omega_{osc} = \sqrt{\frac{I_{Ba}I_{Bb}k}{32I_AC_1C_2}}. \tag{4.18}$$

จากสมการที่ (4.18) กำหนดให้ $I_{Ba} = I_{Bb} = I_B$ สามารถเขียนสมการกำเนิดสัญญาณความถี่ใหม่ได้ดัง สมการที่ (4.19)

$$\omega_{osc} = I_B\sqrt{\frac{k}{32I_AC_1C_2}} \tag{4.19}$$

จากสมการที่ (4.19) เงื่อนไขของการกำเนิดสัญญาณความถี่สามารถค่าของการกำเนิดสัญญาณความถี่ได้อย่างเชิงเส้นด้วยกระแสดีซีไบอัส I_B และเงื่อนไขของการกำเนิดสัญญาณได้อย่างเชิงเส้นด้วยกระแสดีซีไบอัส I_{BC} ซึ่งพบว่าเงื่อนไขของการกำเนิดสัญญาณในสมการที่ (4.17) และเงื่อนไขของการกำเนิดสัญญาณความถี่ในสมการที่ (4.19) สามารถปรับเงื่อนไขของการกำเนิดสัญญาณ และการกำเนิดสัญญาณความถี่ได้อิสระจากกัน โดยที่ความสัมพันธ์ของแรงดันเอาต์พุต V_{o1} และแรงดันเอาต์พุต V_{o2} แสดงดังสมการที่ (4.20)

$$\frac{V_{o_2}(s)}{V_{o_1}(s)} = \frac{-g_{m_b}}{sC_2}. \tag{4.20}$$

จากสมการที่ (4.20) ความสัมพันธ์ของแรงดันเอาต์พุต V_{o1} และแรงดันเอาต์พุต V_{o2} ขณะสัญญาณชายน์อยู่ในสภาวะคงตัวดังสมการที่ (4.21)

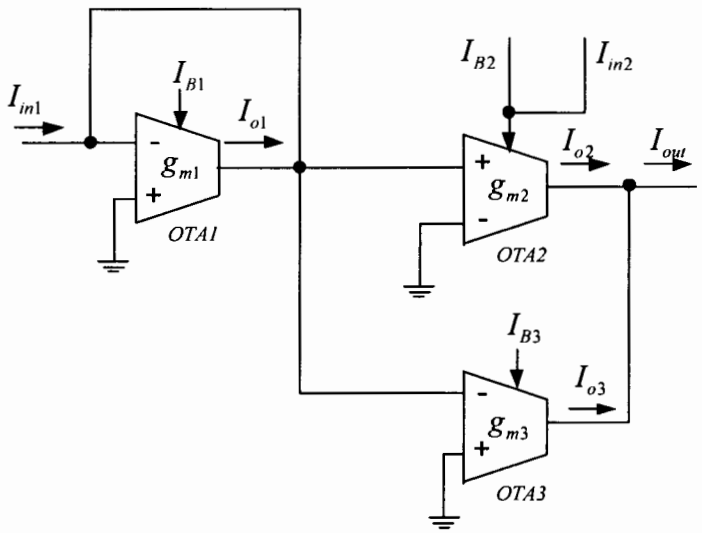
$$\frac{V_{o_2}(j\omega)}{V_{o_1}(j\omega)} = \frac{-g_{m_b}}{\omega C_2}e^{-j90^o}. \tag{4.21}$$

จากสมการที่ (4.21) พบว่าสัญญาณแรงดันเอาต์พุต V_{o1} และสัญญาณแรงดันเอาต์พุต V_{o2} จะมีเฟสต่างกัน 90 องศา นอกจากนี้พบว่าเงื่อนไขของการกำเนิดสัญญาณในสมการที่ (4.17) และการกำเนิดสัญญาณความถี่ในสมการที่ (4.19) สามารถปรับค่าได้อย่างเชิงเส้น เนื่องจากว่ากระแสไบอัส

ไม่ได้อยู่ในฟังก์ชันของรากที่สอง และสามารถปรับค่าเงื่อนไขของการกำเนิดสัญญาณ และการกำเนิดสัญญาณความถี่ ได้อิสระจากกันซึ่งสามารถปรับเงื่อนไขของการกำเนิดสัญญาณด้วยค่าของตัวต้านทาน และปรับค่าของกระแสไบอัส I_{B_c} ส่วนเงื่อนไขการกำเนิดสัญญาณความถี่สามารถปรับค่าได้ด้วย $I_{Ba} = I_{Bb} = I_B$ โดยผลการจำลองจะได้นำเสนอในบทต่อไป

4.2 วงจรคูณสัญญาณกระแส

วงจรคูณสัญญาณกระแสแบบแอนะล็อก [29] เป็นวงจรที่มีประโยชน์สามารถนำไปประยุกต์ใช้งานได้อย่างกว้างขวาง เช่น ในระบบโทรคมนาคม เครื่องมือวัด และการประมวลผลสัญญาณทางอนาล็อก เป็นต้น โดยวงจรคูณกระแสสัญญาณแบบอนาล็อกสร้างจากวงจรทรานส์คอนดัคเตอร์ (OTA) จำนวน 3 ตัวโครงสร้างของวงจรคูณสัญญาณแบบอนาลอกแสดงดังภาพที่ 4.3



ภาพที่ 4.3 โครงสร้างของวงจรคูณสัญญาณกระแสแบบแอนะล็อก

จากวงจรภาพที่ 4.3 แสดงโครงสร้างของวงจรคูณสัญญาณกระแสแบบแอนะล็อก ออกแบบโดยวงจรซีมอสโอทีเอแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น โดยค่าอัตราการขยายทรานส์คอนดัคแตนซ์ของวงจรมีค่าเท่ากับ $g_m = \frac{I_B}{2}\sqrt{\frac{k}{8I_A}}$ สามารถปรับค่าขยายได้อย่างเชิงเส้นด้วยวิธีอิเล็กทรอนิกส์ด้วยกระแส I_B โดยวงจรออกแบบให้สัญญาณกระแส I_{in1} ป้อนเข้าที่อินพุต V_{in}^+ ของ $OTA1$ ซึ่งก็คือส่วนของวงจรตัวต้านทานต่อลงกราวด์ที่ควบคุมด้วยกระแส โดยเป็นแรงดันอินพุตให้กับ $OTA2$ และ $OTA3$ และสัญญาณกระแส I_{in2} ป้อนร่วมกับกระแสไบอัส I_{B2} ของ $OTA2$ จากวงจรภาพที่ 4.13 พิจารณากระแสเอาต์พุต I_{o2} ของ $OTA2$

$$I_{o2} = \frac{g_{m2}}{g_{m1}} i_{in1} \tag{4.22}$$

เมื่อ $g_{m1} = \frac{I_{B1}}{2}\sqrt{\frac{k}{8I_A}}$ คือ ค่าทรานส์คอนดัคแตนซ์ของ $OTA1$

$g_{m2} = \frac{(I_{B2} + i_{in2})}{2}\sqrt{\frac{k}{8I_A}}$ คือ ค่าทรานส์คอนดัคแตนซ์ของ $OTA2$

$g_{m3} = \frac{I_{B1}}{2}\sqrt{\frac{k}{8I_A}}$ คือ ค่าทรานส์คอนดัคแตนซ์ของ $OTA3$

แทนค่า g_{m1} และ g_{m2} ลงในสมการที่ (4.22) จะได้

$$I_{o2} = \frac{\frac{(I_{B2} + i_{in2})}{2}\sqrt{\frac{k}{8I_A}}}{\frac{I_{B1}}{2}\sqrt{\frac{k}{8I_A}}} i_{in1} = \frac{(I_{B2} + i_{in2})}{I_{B1}} i_{in1} \tag{4.23}$$

และกระแสเอาต์พุต I_{o3} ของ $OTA3$ ได้ดังสมการ

$$I_{o3} = -\frac{g_{m3}}{g_{m1}} i_{in1} \tag{4.24}$$

แทนค่า g_{m1} และ g_{m3} ลงในสมการที่ (4.24) จะได้

$$I_{o3} = -\frac{\frac{I_{B3}}{2}\sqrt{\frac{k}{8I_A}}}{\frac{I_{B1}}{2}\sqrt{\frac{k}{8I_A}}} i_{in1} = -\frac{I_{B3}}{I_{B1}} i_{in1} \tag{4.25}$$

จากสมการที่ (4.23) และสมการที่ (4.25) กำหนดให้กระแสไบอัส $I_{B2} = I_{B3} = I_B$ กระแสเอาต์พุตของวงจรหาได้จาก

$$I_{out} = I_{o2} + I_{o3} \tag{4.26}$$

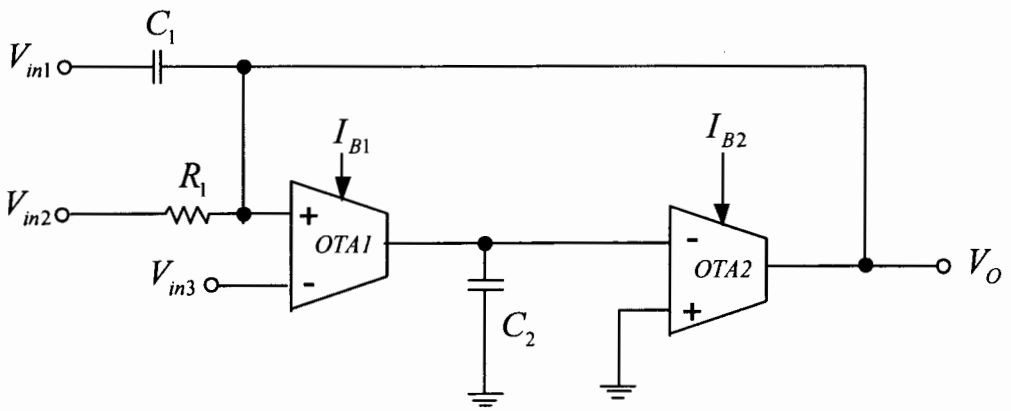
แทนค่าสมการที่ (4.23) และสมการที่ (4.25) ลงในสมการที่ (4.26) จะได้สมการเอาต์พุตดังนี้

$$I_{out} = I_{o2} + I_{o3} = \frac{(I_{B2} + i_{in2})}{I_{B1}} i_{in1} - \frac{I_{B3}}{I_{B1}} i_{in1} = \frac{i_{in1} i_{in2}}{I_{B1}} \tag{4.27}$$

จากสมการที่ (4.27) กระแสเอาต์พุตของวงจรคูณกระแสของของสัญญาณกระแส i_{in1} สัญญาณกระแส i_{in2} และสัญญาณกระแส I_{B1} เป็นสัญญาณอินพุต

4.3 วงจรกรองความถี่แบบหลายหน้าที่

วงจรกรองความถี่เป็นวงจรอิเล็กทรอนิกส์วงจรหนึ่งที่นิยมนำไปใช้งานอย่างกว้างขวาง ตัวอย่างเช่น ระบบสื่อสาร ระบบเครื่องมือวัด และระบบประมวลผลสัญญาณ เป็นต้น โดยที่วงจรกรองความถี่แบบหลายหน้าที่[30] มีคุณสมบัติที่ดีกว่าวงจรกรองความถี่ทั่วไปคือ วงจรสามารถทำหน้าที่ได้ด้วยเวลาเดียวกันโดยไม่ต้องเปลี่ยนโครงสร้างของวงจร โดยวงจรกรองความถี่ออกแบบด้วยวงจรทรานส์คอนดัคแตนซ์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น ซึ่งวงจรมีคุณสมบัติคือ วงจรสามารถปรับค่าคลอลิตี้แฟกเตอร์โดยอิสระจากค่าความถี่โพลด้วยวิธีทางอิเล็กทรอนิกส์ และวงจรสามารถทำงานได้ 5 ฟังก์ชันพร้อมกันสำหรับสร้างการตอบสนองแบบความถี่ต่ำผ่าน (low-pass filter) แบบความถี่สูงผ่าน (high-pass filter) แบบแถบความถี่ผ่าน (band-pass filter) แบบแถบความถี่หยุด (band-reject filter) และแบบทุกความถี่ผ่าน (all-pass filter) โดยไม่ต้องเปลี่ยนโครงสร้างของวงจร แสดงดังวงจรภาพที่ 4.4



ภาพที่ 4.4 โครงสร้างของวงจรกรองความถี่แบบหลายหน้าที่

จากโครงสร้างของวงจรกรองความถี่แบบหลายหน้าที่ในภาพที่ 4.4 โดยที่กระแส I_{B1} เป็นกระแสไบอัส $OTA1$ และกระแส I_{B2} เป็นกระแสไบอัส $OTA2$ เมื่อพิจารณาคุณสมบัติของวงจรจะได้แรงดันเอาต์พุตดังนี้

$$V_O = \frac{V_{in1}s^2C_1C_2 + V_{in2}sC_2G_1 + V_{in3}g_{m1}g_{m2}}{s^2C_1C_2 + sC_2G_1 + g_{m1}g_{m2}} \qquad (4.28)$$

เมื่อ $G_1 = 1/R_1$ และ $g_m = \frac{I_B}{2}\sqrt{\frac{k}{8I_A}}$ โดยที่ความถี่โพล และคลอลิตี้แฟกเตอร์สามารถหาค่าได้ดังสมการ

$$\omega_O = \sqrt{\frac{g_{m1}g_{m2}}{C_1C_2}} \tag{4.29}$$

$$Q_O = R_1\sqrt{\frac{C_1 g_{m1}g_{m2}}{C_2}} \tag{4.30}$$

จากสมการที่ (4.29) และสมการที่ (4.30) เมื่อ $g_{m1} = \frac{I_{B1}}{2}\sqrt{\frac{k}{8I_A}}$ และ $g_{m2} = \frac{I_{B2}}{2}\sqrt{\frac{k}{8I_A}}$ สมการของความถี่โพล และคลอลิตี้แฟกเตอร์สามารถหาได้ใหม่ดังสมการ

$$\omega_O = \frac{I_B}{2}\sqrt{\frac{k}{8I_AC_1C_2}} \tag{4.31}$$

$$Q_O = R_1\frac{I_B}{2}\sqrt{\frac{kC_1}{8I_AC_2}} \tag{4.32}$$

จากสมการที่ (4.28) สามารถเลือกแรงดันอินพุตในลักษณะการควบคุมด้วยดิจิตอลได้ตามตารางที่ 4.1 เพื่อให้ได้ผลตอบสนองของวงจรความถี่ลำดับสองตามตารางที่ 4.1 พบว่าสามารถทำงานได้ 5 ฟังก์ชันพร้อมกัน คือ แบบความถี่ต่ำผ่าน (LP: low-pass filter) แบบความถี่สูงผ่าน (HP: high-pass filter) แบบแถบความถี่ผ่าน (BP: band-pass filter) แบบแถบความถี่หยุด (BR: band-reject filter) และแบบทุกความถี่ผ่าน (AP: all-pass filter)

ตารางที่ 4.1 ค่าแรงดันอินพุตเพื่อให้ได้ผลตอบสนองของแต่ละฟังก์ชัน

Filter Responses	Inputs		
V_O	V_{in1}	V_{in2}	V_{in3}
BP	0	1	0
HP	1	0	0
LP	0	0	1
BR	1	0	1
AP	1	-1	1

จากวงจรกรองความถี่แบบหลายหน้าที่ ที่ออกแบบโดยใช้วงจรทรานส์คอนดัคแตนซ์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้นที่นำเสนอในวิทยานิพนธ์นี้จำนวน 2 ตัว ตัวต้านทาน 1 ตัว ต่อร่วมกันกับตัวเก็บประจุจำนวน 2 ตัว ซึ่งวงจรนี้ได้มีการนำเสนอตามเอกสารอ้างอิงที่ [30] ซึ่งวงจรออกแบบโดยใช้วงจรทรานส์คอนดัคแตนซ์แบบบีเจที ซึ่งผลการจำลองการทำงานพบว่าวงจรทรานส์คอนดัคแตนซ์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น กับ

วงจรทรานส์คอนดัคแตนซ์แบบบีเจที พบว่าวงจรกรองความถี่แบบหลายหน้าที่ที่ออกแบบโดยวงจรทรานส์คอนดัคแตนซ์แบบบีเจทีสามารถปรับค่าควอลิตี้แฟกเตอร์ได้อิสระจากความถี่โพลแต่ไม่สามารถปรับค่าได้อย่างเชิงเส้นเนื่องจากกระไบอัสอยู่ในฟังก์ชันของรากที่สอง ส่วนวงจรกรองความถี่แบบหลายหน้าที่ที่ออกแบบโดยวงจรทรานส์คอนดัคแตนซ์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น ก็สามารถปรับค่าควอลิตี้แฟกเตอร์ได้อิสระจากความถี่โพล และสามารถปรับค่าได้อย่างเชิงเส้นเนื่องจากกระไบอัสไม่ได้อยู่ในฟังก์ชันของรากที่สอง โดยผลการจำลองจะได้นำเสนอในบทต่อไป

4.4 บทสรุป

ในบทนี้ได้กล่าวถึงการประยุกต์ใช้งานของวงจรทรานส์คอนดัคเตอร์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น ที่ออกแบบให้ค่าอัตราขยายทรานส์คอนดัคแตนซ์สามารถปรับค่าขยายได้อย่างเชิงเส้นด้วยวิธีอิเล็กทรอนิกส์ ได้แก่ วงจรกำเนิดสัญญาณซายน์ วงจรคูณสัญญาณกระแส และวงจรกรองความถี่หลายหน้าที่ ซึ่งพบว่าวงจรกำเนิดสัญญาณซายน์ สามารถปรับค่าเงื่อนไขของการกำเนิดสัญญาณ และการกำเนิดสัญญาณความถี่ได้อย่างเชิงเส้น เนื่องจากว่ากระแสไบอัสไม่ได้อยู่ในฟังก์ชันของรากที่สอง และสามารถปรับค่าเงื่อนไขของการกำเนิดสัญญาณ และการกำเนิดสัญญาณความถี่ ได้อิสระจากกัน ส่วนวงจรคูณสัญญาณกระแสนั้นวงจรที่ออกแบบสามารถคูณสัญญาณกระแสได้แบบสี่ควอแดนซ์ และวงจรกรองความถี่หลายหน้าที่ พบว่าวงจรสามารถปรับค่าควอลิตี้แฟกเตอร์ และความถี่โพลได้อย่างเชิงเส้น เนื่องจากกระไบอัสไม่ได้อยู่ในฟังก์ชันของรากที่สอง และสามารถปรับค่าควอลิตี้แฟกเตอร์ได้อิสระจากความถี่โพล ส่วนผลการจำลองการทำงานของวงจรที่นำเสนอ และผลของวงจรที่ออกแบบสำหรับประยุกต์ใช้งานจะได้นำเสนอในบทต่อไป

บทที่ 5
ผลการวิจัย และการทดสอบ

การจัดทำวิทยานิพนธ์ในครั้งนี้ มีวัตถุประสงค์เพื่อออกแบบวงจรทรานส์คอนดัคเตอร์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น ที่ออกแบบให้ค่าอัตราขยายทรานส์คอนดัค-แตนซ์สามารถปรับค่าขยายได้อย่างเชิงเส้นด้วยวิธีอิเล็กทรอนิกส์ เพื่อเป็นการยืนยันสมรรถนะของวงจรที่ได้ออกแบบไว้ในวิทยานิพนธ์นี้ทั้งหมด จึงได้ทำการทดลองวงจรที่ได้ทำการสังเคราะห์ขึ้น จากการจำลองการทำงานของวงจร และผลการจำลองการทำงานของ วงจรกำเนิดสัญญาณซายน์ วงจรคูณสัญญาณ และวงจรกรองความถี่หลายหน้าที่ โดยเป็นการจำลองการทำงานของวงจรด้วยโปรแกรม PSPICE สำหรับทรานซิสเตอร์แบบซีมอส ที่ใช้ในการจำลองการทำงานของวงจรได้ใช้พารามิเตอร์ของทรานซิสเตอร์ TSMC 0.35 μm level 3 ตารางที่ 5.1 แสดงขนาดของทรานซิสเตอร์แบบซีมอส วงจรทำงานที่แรงดันไฟเลี้ยง ±1.5V โดยได้ทำการทดสอบผลของงานวิจัยดังรายละเอียดต่อไปนี้

ตารางที่ 5.1 ขนาดของทรานซิสเตอร์แบบซีมอส

ทรานซิสเตอร์แบบซีมอส	ขนาด W(μm) / L(μm)
M_1-M_7, M_{11}-M_{18}	1.75/0.35
M_8	3.5/0.35
M_9,M_{10}	0.35/0.35

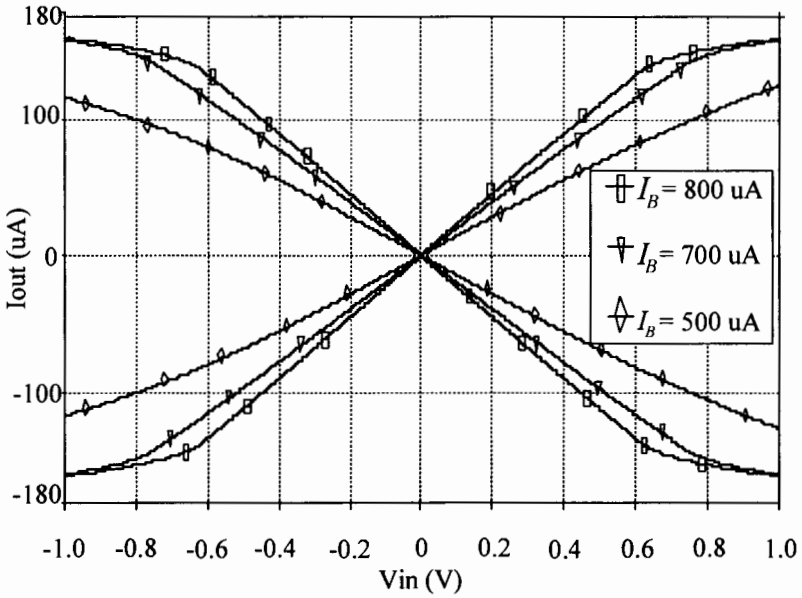
5.1 ผลการทดสอบและการวิเคราะห์คุณสมบัติของวงจรที่นำเสนอ

5.1.1 ผลการทดสอบและการวิเคราะห์คุณสมบัติด้านแรงดันอินพุตของวงจร

การทดสอบการทำงานของวงจรที่ได้ออกแบบ ซึ่งวงจรประกอบด้วยในส่วนของวงจรยกกำลังสองของสัญญาณกระแส และวงจรทรานส์คอนดัคเตอร์แบบซีมอสที่มีช่วงแรงดันอินพุตกว้าง โดยการป้อนแรงดันอินพุต V_{in} แล้วปรับค่าแรงดันอยู่ระหว่าง $-1V$ ถึง $1V$ ปรับค่ากระแสไบอัส I_A มีค่าเท่ากับ $200\mu A$ ปรับค่ากระแสไบอัส I_B จำนวน 3 ค่า คือ $500\mu A$ $700\mu A$และค่า $800\mu A$ โดยค่าแรงดันอินพุตมีค่าความกว้างอย่างเป็นเชิงเส้นของวงจรดังสมการที่ (5.1)

$$-I_B\sqrt{K/4I_A} \le V_{in} \le I_B\sqrt{K/4I_A} \qquad (5.1)$$

จากสมการที่ (5.1) เมื่อ $K = \mu_n C_{ox} W/2L = 4.635x10^{-4}\, A/V^2$ ผลการทดสอบการวิเคราะห์คุณสมบัติของแรงดันอินพุตเปลี่ยนแปลงเป็นกระแสทางเอาท์พุตของวงจรแสดงดังภาพที่ (5.1)



ภาพที่ 5.1 คุณสมบัติด้านแรงดันอินพุตของวงจร

จากภาพที่ (5.1) เมื่อปรับค่ากระแสไบอัส I_B ที่ค่าเท่ากับ $500\mu A$ ค่าแรงดันอินพุตของวงจรเปลี่ยนแปลงเป็นกระแสทางเอาต์พุตอยู่ระหว่าง $-0.8V$ ถึง $0.8V$ เมื่อปรับค่ากระแสไบอัส I_B ที่ค่าเท่ากับ $700\mu A$ ค่าแรงดันอินพุตของวงจรเปลี่ยนแปลงเป็นกระแสทางเอาต์พุตอยู่ระหว่าง $-0.97V$ ถึง $0.97V$ และปรับค่ากระแสไบอัส I_B ที่ค่าเท่ากับ $800\mu A$ ค่าแรงดันอินพุตของวงจรเปลี่ยนแปลงเป็นกระแสทางเอาต์พุตอยู่ระหว่าง $-1.01V$ ถึง $1.01V$ ตามลำดับอย่างเป็นเชิงเส้น จากผลการทดลองมีความคลาดเคลื่อนตามสมการที่ (5.1) อยู่ที่ระดับร้อยละ 2.5

5.1.2 การหาค่าแรงดันโหมดร่วมสูงสุด

การวิเคราะห์ค่าแรงดันโหมดร่วมสูงสุดได้ทำการวิเคราะห์ไว้แล้วในบทที่ 3 พบว่าค่าเปลี่ยนแปลงค่าแรงดันโหมดร่วมสูงสุดของวงจร $(V_{CM\max})$ มีค่าดังสมการที่ (5.2)

$$V_{CM\max} = V_{th} + V_{DD} - \frac{I_B^{\,2}}{16I_A} g_{mcm} - \frac{I_B^{\,2}}{16I_A} g_{mR} \tag{5.2}$$

และค่าเปลี่ยนแปลงแรงดันโหมดร่วมต่ำที่สุดของวงจร $(V_{CM\min})$ มีค่าดังสมการที่ (5.3)

$$V_{CM\min} = -V_{SS} + V_{th} + V_{D12} + V_{OV} \tag{5.3}$$

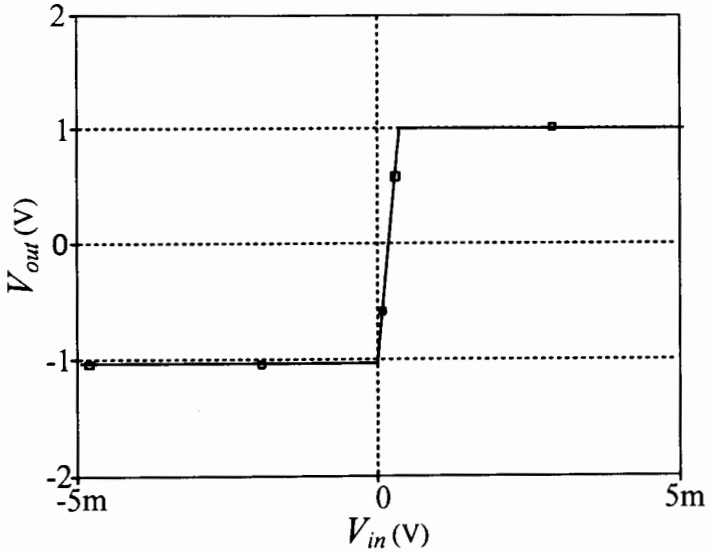
ดังนั้น ค่าเปลี่ยนแปลงแรงดันโหมดร่วมได้สูงที่สุดและต่ำที่สุดของวงจรมีค่าเท่ากับ

$$-V_{SS} + V_{th} + V_{D12} + V_{OV} \le V_{CM} \le V_{th} + V_{DD} - \frac{I_B^{\,2}}{16I_A} g_{mcm} - \frac{I_B^{\,2}}{16I_A} g_{mR} \tag{5.4}$$

เมื่อ $K = \mu_n C_{ox} W/2L = 4.635x10^{-4} A/V^2, W/L = 5, I_A = 200\mu A, I_B = 500\mu A$ $g_{mcm} = 4.08x10^{-4} V/A, g_R = 4.08x10^{-4} V/A, Vth = 1.26x10^{-4} V, V_{OV} = 0.12x10^{-6} V$ พบว่าค่าเปลี่ยนแปลงแรงดันอินพุตได้สูงที่สุดของวงจรมีค่าเท่ากับ $1.5V$ และค่าเปลี่ยนแปลงแรงดันอินพุตต่ำที่สุดของวงจรมีค่าเท่ากับ $-1.49V$ ดังนั้น ค่าเปลี่ยนแปลงแรงดันอินพุตได้สูงที่สุดและต่ำที่สุดของวงจรมีค่าเท่ากับ $-1.49V \le V_{CM} \le 1.5V$

5.1.3 ค่าแรงดันออฟเซ็ตของวงจร

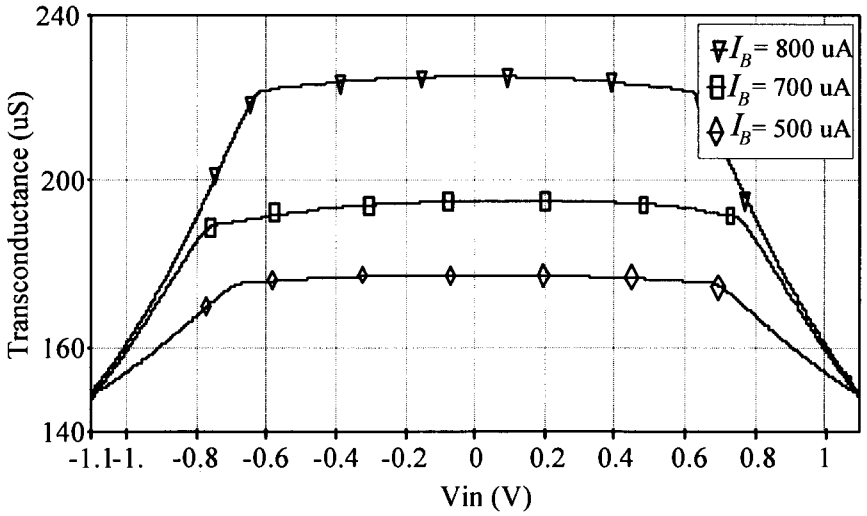
การวิเคราะห์ค่าแรงดันออฟเซ็ตของวงจรที่นำเสนอ โดยปรับค่ากระแสไบอัส I_B ที่ค่าเท่ากับ $700\mu A$ ปรับค่าแรงดันอินพุตอยู่ระหว่าง $-5mV$ ถึง $5mV$ ทำการวัดแรงดันเอาต์พุตของวงจร พบว่าค่าที่ได้จากการจำลองการทำงานของแรงดันออฟเซ็ตของวงจรมีค่าเท่ากับ $|V_{OS}| = 0.24mV$ แสดงดังภาพที่ (5.2) ซึ่งเมื่อเทียบกับแรงดันออฟเซ็ตในอุดมคติ จะเห็นได้ว่าค่าแรงดันออฟเซ็ตในอุดมคติต้องมีค่าเท่ากับศูนย์ แต่ค่าของแรงดันออฟเซ็ตของวงจรที่นำเสนอมีค่ามากกว่า เนื่องจากความสมพงษ์ของทรานซิสเตอร์ ดังนั้นในการใช้งานของวงจรที่นำเสนอต้องทำการปรับค่าแรงดันออฟเซ็ตก่อนใช้งาน



ภาพที่ 5.2 แรงดันอินพุตออฟเซ็ตของวงจร

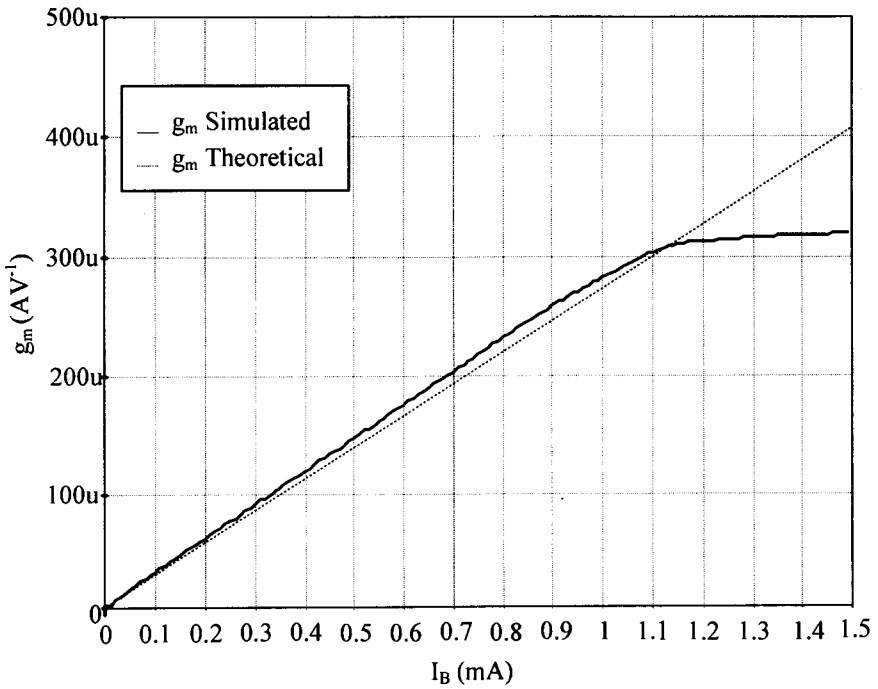
5.1.4 ผลการทดสอบและการวิเคราะห์ค่าอัตราขยายทรานส์คอนดัคแตนซ์ของวงจร

การทดสอบและการวิเคราะห์ค่าอัตราขยายทรานส์คอนดัคแตนซ์ เมื่อค่าอัตราขยายทรานส์คอนดัคแตนซ์มีค่าเท่ากับ $g_{mT} = \frac{I_B}{2}\sqrt{K/I_A}$ ผลของค่าอัตราขยายทรานส์คอนดัคแตนซ์สามารถหาได้ตามสมการ ยกตัวอย่างเช่น ป้อนแรงดันอินพุตที่ค่า $100mV$ ปรับค่ากระแสไบอัส I_A ที่ค่า $200\mu A$ปรับค่ากระแสไบอัส I_B ที่ค่า $500\mu A$ ผลของค่าอัตราขยายทรานส์คอนดัคแตนซ์มีค่าเท่ากับ $g_{m_T} = 3.8\times10^{-4} A/V$



ภาพที่ 5.3 อัตราขยายทรานส์คอนดัคแตนซ์ของวงจร

จากกราฟภาพที่ 5.3 แสดงความสัมพันธ์ระหว่างค่าอัตราขยายทรานส์คอนดัคแตนซ์ g_{m_T} กับค่าแรงดันอินพุตของวงจรเปลี่ยนแปลงอยู่ระหว่าง $-1.1V$ ถึง $1.1V$ เมื่อปรับค่ากระแสไบอัส I_B จำนวน 3 ค่า คือค่า $500\mu A$ $700\mu A$ และค่า $800\mu A$ โดยที่แรงดันอินพุตมีค่าอยู่ในช่วง $-0.7V$ ถึง $0.7V$ $-0.8V$ ถึง $0.8V$ และ $-0.6V$ ถึง $-0.6V$ ตามลำดับ จากผลการทดลองแสดงให้เห็นว่าค่าอัตราขยายทรานส์คอนดัคแตนซ์ของวงจรสามารถปรับค่าได้อย่างเชิงเส้นและมีค่าการเปลี่ยนแปลงแรงดันได้กว้าง มีความคลาดเคลื่อนอยู่ที่ระดับร้อยละ 3



ภาพที่ 5.4 อัตราขยายทรานส์คอนดัคแตนซ์อย่างเป็นเชิงเส้น

จากกราฟภาพที่ 5.4 แสดงความสัมพันธ์ระหว่างค่าอัตราขยายทรานส์คอนดัคแตนซ์ g_{m_T} กับค่ากระแสดีซีไบอัส I_B โดยป้อนแรงดันอินพุตที่ค่า $100mV$ ปรับค่ากระแสไบอัส I_A มีค่าเท่ากับ $200\mu A$ และปรับค่ากระแสดีซีไบอัส I_B อยู่ในช่วงตั้งแต่ $1nA$ ถึง $1.5mA$ ทำการวัดค่าอัตราขยายทรานส์คอนดัค-แตนซ์พบว่าค่าอัตราขยายทรานส์คอนดัคแตนซ์สามารถปรับได้อย่างเชิงเส้นอยู่ในช่วงตั้งแต่ $1nA$ ถึง $1.1mA$ ซึ่งค่าความผิดพลาดของอัตราขยายทรานส์คอนดัคแตนซ์หาได้จากสมการ

$$\%Error = \sqrt{\frac{\mu_n C_{ox}\left(W/L\right)V_{in}^{\ 2}}{\frac{2I_B^{\ 2}}{I_A}}} \times 100\% \qquad (5.5)$$

เมื่อ $Vin = 100mV, IB = 500\mu A, IA = 200\mu A$, $\mu C'_{ox}/2 = 92.7\times10^{-6}\,A/V^2$, $W/L = 5$

$$\%Error = \sqrt{\frac{92.7\times10^{-6}(5)\left(100\times10^{-3}\right)^2}{\frac{2\left(500\times10^{-6}\right)^2}{\left(200\times10^{-6}\right)}}} \times 100\%$$

$\%Error = \sqrt{\frac{4.63\times10^{-6}}{2.5\times10^{-3}}}\times100 = \sqrt{1.85\times10^{-3}}\times100 = 0.043\times100 = 4.3\%$ พบว่าค่าอัตราขยายทรานส์คอนดัคแตนซ์สามารถปรับได้อย่างเชิงเส้นอยู่ในช่วงตั้งแต่ $1nA$ ถึง $1.1mA$ ค่าความคลาดเลื่อนของอัตราขยายทรานส์คอนดัคแตนซ์มีค่าความคลาดเคลื่อนอยู่ที่ระดับร้อยละ 4.3

5.1.5 การวิเคราะห์หาช่วงความถี่ปฏิบัติงานของวงจร

ช่วงความถี่ปฏิบัติงานของวงจรเป็นคุณสมบัติตัวหนึ่งที่บ่งบอกถึงประสิทธิภาพของวงจร โดยทั่วไปจะออกแบบวงจรให้มีช่วงปฏิบัติงานที่สูง ๆ เพื่อเป็นการรองรับที่ความถี่สูง ๆ และในการวิเคราะห์ช่วงความถี่ปฏิบัติงานสามารถทำได้โดยใช้แบบจำลองสัญญาณขนาดเล็กซึ่งมีความจุไฟฟ้าแฝงที่เกิดขึ้นระหว่างเกต และซอร์สของทรานส์ซิสเตอร์จากการออกแบบวงจรซีมอสโอทีเอแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น สำหรับการวิเคราะห์หาค่าของช่วงความถี่ปฏิบัติงาน (frequency response) ได้ทำการวิเคราะห์ไว้แล้วในบทที่ 3 ซึ่งพบว่าค่าความจุของ C_m ที่อินพุตของวงจรสะท้อนสัญญาณกระแสทำให้เกิดความถี่โพล f_p คือ

$$f_p = \frac{g_{m_{cm}}}{sC_m} \qquad (5.6)$$

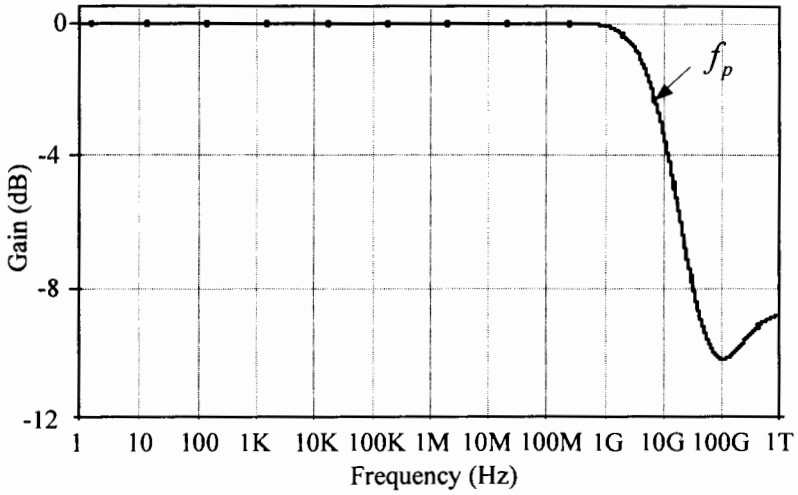
และค่าความจุของ C_{diff} ของวงจรขยายผลต่างทำให้เกิดซีโล่ของความถี่ f_z มีค่าดังสมการที่ (5.7)

$$f_z = \frac{g_{m_R} + g_{m_{diff}}}{sC_{diff}} \tag{5.7}$$

เมื่อ $g_{mcm} = 3.8x10^{-4} V/A,\ g_R = 1.7x10^{-4} V/A,\ g_{diff} = 3.8x10^{-4} V/A$

$C_m = 1.81x10^{-15} F,\ C_{diff} = 3.81x10^{-15} F$

พบว่าค่าของความถี่โพล f_p มีค่าเท่ากับ 8.35*GHz* และค่าซีโล่ของความถี่ f_z มีค่า 80.88*GHz*



ภาพที่ 5.5 ช่วงความถี่ปฏิบัติงานของวงจร

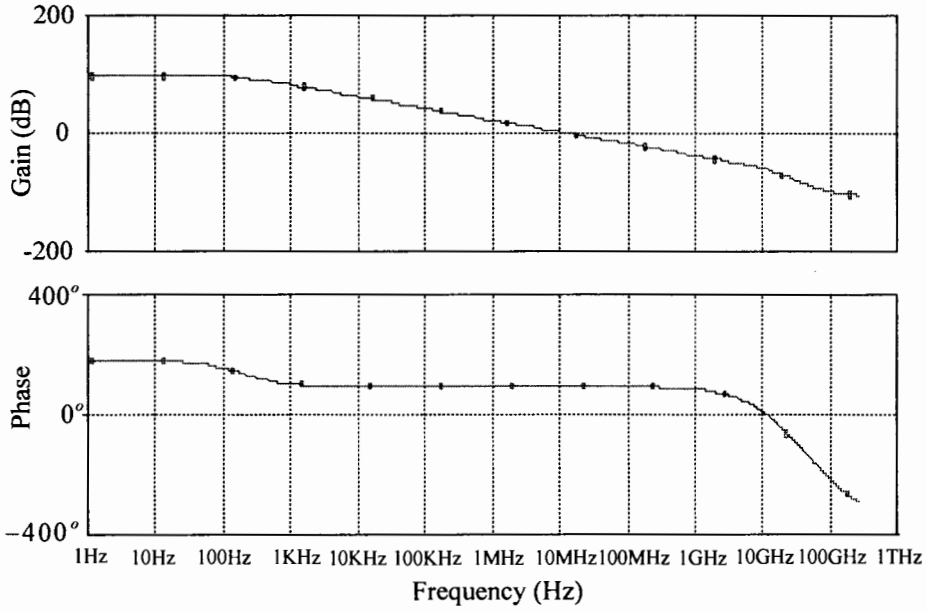
จากภาพที่ 5.5 เมื่อป้อนแรงดันอินพุต $V_{in} = 1mV$ ปรับค่ากระแสไบอัส I_A มีค่าเท่ากับ $200\mu A$ และปรับค่ากระแสดีซีไบอัส I_B อยู่ในช่วงตั้งแต่ $500\mu A$ พบว่าช่วงความถี่ปฏิบัติงานของวงจรมีค่าเท่ากับ 8.31GHz ค่าความคลาดเคลื่อนของช่วงความถี่ปฏิบัติงานของวงจรมีค่าประมาณร้อยละ 5

5.1.6 เสถียรภาพของวงจร

การวิเคราะห์เสถียรภาพของวงจรโดยปกติแล้ววงจรขยายจะใช้งานกับการป้อนกลับแบบลบเพื่อที่จะให้อัตราการขยายมีเสถียรภาพ[24-25] และมีช่วงแบนด์วิดท์ที่กว้าง ดังนั้นในหัวข้อนี้จะวิเคราะห์ในการหาเสถียรภาพของวงจรโดยพิจารณา

5.1.6.1 อัตรามาร์จิ้น (gain margin) คือความแตกต่างของขนาดลูปเกนที่ 0dB กับลูปเกนที่ความถี่มุมเท่ากับ -180° ซึ่งค่าที่ได้จะเป็นหน่วยเดซิเบลและบอกถึงเสถียรภาพของวงจร

5.1.6.2 เฟสมาร์จิ้น (phase margin)คือผลต่างระหว่างมุมเฟสกับความถี่ที่อัตราขยายวงรอบเท่ากับ 1 กับ 180° ซึ่งการวิเคราะห์เสถียรภาพของระบบมีโพลเดียววงจรจะมีเสถียรภาพเสมอ สำหรับระบบหรือวงจรขยายที่มีมากกว่าหนึ่งโพลวงจรอาจเกิดการออสซิลเลตได้ซึ่งที่ความถี่ต่ำๆ เฟสจะไม่เกิดการเลื่อนแต่ที่ความถี่สูงขึ้นเฟสจะเปลี่ยนแปลง คือเฟสจะเลื่อนไปเรื่อยๆ ถ้าเกิน 180° จะเกิดการออสซิลเลตขึ้น ซึ่งค่าเฟสมาร์จิ้นที่ดีมีค่าเท่ากับ 60° ดีที่สุด



ภาพที่ 5.6 อัตรามาร์จิ้น และเฟสมาร์จิ้นของวงจร

จากภาพที่ 5.6 แสดงอัตรามาร์จิ้น และเฟสมาร์จิ้นของวงจร ซึ่งพบว่าโพลที่เกิดขึ้นของวงจรที่นำเสนอในวิทยานิพนธ์นี้มีจำนวน 1 โพล ดังนั้นวงจรจึงมีเสถียรภาพ โดยที่อัตรามาร์จิ้นของวงจรมีค่าเท่ากับ -95.22dB แสดงให้เห็นว่าวงจรทรานส์คอนดัคเตอร์แบบซีมอสที่นำเสนอ มีสถานะความมีเสถียรภาพสัมบูรณ์ และเฟสมาร์จิ้นของวงจรมีค่าเท่ากับ 90.09° ซึ่งมีค่าต่ำกว่า 180° แสดงให้เห็นว่าวงจรมีสถานะความมีเสถียรภาพสัมบูรณ์ ไม่เกิดการออสซิลเลตขึ้นเมื่อนำวงจรไปใช้งาน

5.2 ผลการจำลองการทำงานของการประยุกต์ใช้งานวงจรที่นำเสนอ

เพื่อเป็นการยืนยันถึงการนำไปใช้ประโยชน์ของวงจรซีมอสโอทีเอแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น ที่ได้ออกแบบไว้ จึงขอกล่าวถึงตัวอย่างการนำเอา วงจรซีมอสโอทีเอแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น ไปประยุกต์ใช้งานในบางวงจร ได้แก่ วงจรกำเนิดสัญญาณซายน์ วงจรคูณสัญญาณ และวงจรกรองความถี่หลายหน้าที่ดังนี้

5.2.1 วงจรกำเนิดสัญญาณซายน์

สำหรับวงจรกำเนิดสัญญาณรูปซายน์แบบควอดราเจอร์ที่ได้ออกแบบโดยละเอียดของวงจรได้กล่าวไว้แล้วในบทที่ 4 ซึ่งคุณสมบัติของวงจรกำเนิดสัญญาณรูปซายน์แบบควอดราเจอร์จะมีสัญญาณเอาต์พุต V_{o1} และสัญญาณแรงดันเอาท์พุต V_{o2} จะมีเฟสต่างกัน 90 องศา โดยสมการกำเนิดสัญญาณเป็นไปตามเงื่อนไขตามสมการที่ (5.8)

$$\frac{RI_{B_c}}{2}\sqrt{\frac{k}{8I_A}} \geq 1 \qquad (5.8)$$

สมการกำเนิดสัญญาณความถี่เป็นไปตามเงื่อนไขตามสมการที่ (5.9)

$$\omega_{osc} = \sqrt{\frac{I_{Ba} I_{Bb} k}{32 I_A C_1 C_2}} \tag{5.9}$$

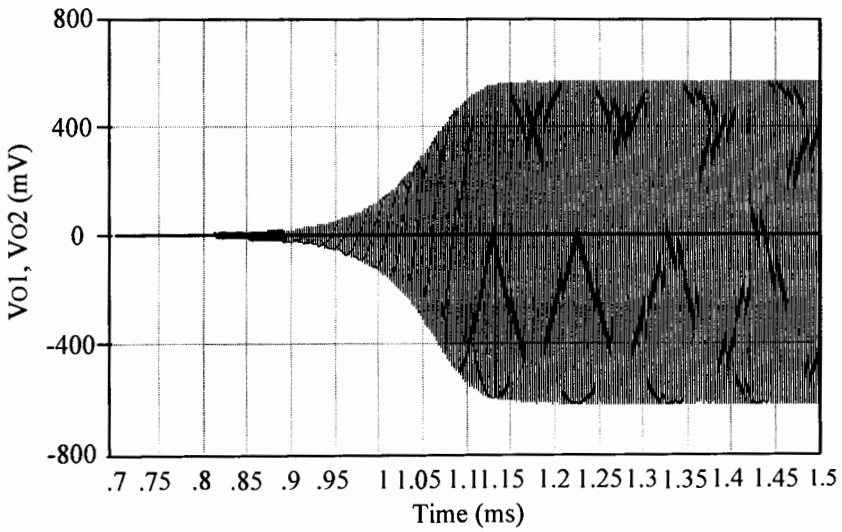
จากสมการที่ (5.9) กำหนดให้ $I_{Ba} = I_{Bb} = I_B$ สามารถเขียนสมการกำเนิดสัญญาณความถี่ใหม่ได้ดัง สมการที่ (5.10)

$$\omega_{osc} = I_B \sqrt{\frac{k}{32 I_A C_1 C_2}} \tag{5.10}$$

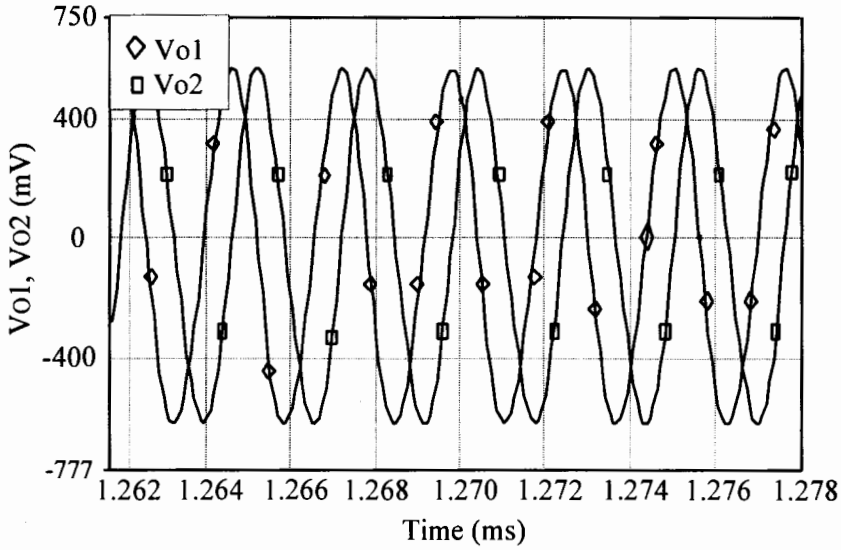
ความสัมพันธ์ของแรงดันเอาต์พุต V_{o1} และแรงดันเอาต์พุต V_{o2} ขณะสัญญาณซายน์อยู่ในสภาวะคงตัวดังสมการที่ (5.11) โดยสัญญาณเอาต์พุต V_{o1} และสัญญาณแรงดันเอาต์พุต V_{o2} จะมีเฟสต่างกัน 90 องศา

$$\frac{V_{o_2}(j\omega)}{V_{o_1}(j\omega)} = \frac{-g_{m_b}}{\omega C_2} e^{-j90^\circ} \tag{5.11}$$

จากการออกแบบ และการวิเคราะห์วงจรกำเนิดสัญญาณ เพื่อหาประสิทธิภาพของวงจรที่ออกแบบจึงได้ทำการทดสอบด้วยโปรแกรม PSPICE โดยการกำหนดให้ตัวเก็บประจุทั้งสองที่ใช้ในวงจรมีค่าเท่ากันคือ $50pF$ ปรับกระแสไบอัส $OTAa$ และ $OTAb$ มีค่าเท่ากับ $500\mu A$ ($I_{B_a} = I_{B_b} = I_B = 500\mu A$) $g_{m_T} = 3.8\times10^{-4} A/V$ ปรับกระแสไบอัส $OTAc$ มีค่าเท่ากับ $697\mu A$ และตัวต้านทานเท่ากับ $5.2k\Omega$ ตามเงื่อนไขของสมการที่ (5.8) ความถี่ออสซิลเลเตอร์มีค่าเท่ากับ $600kHz$ โดยสัญญาณเอาต์พุตของวงจรขณะสภาวะเริ่มต้นแสดงดังภาพที่ 5.7 และสภาวะเริ่มต้นอยู่ตัวแสดงดังภาพที่ 5.8

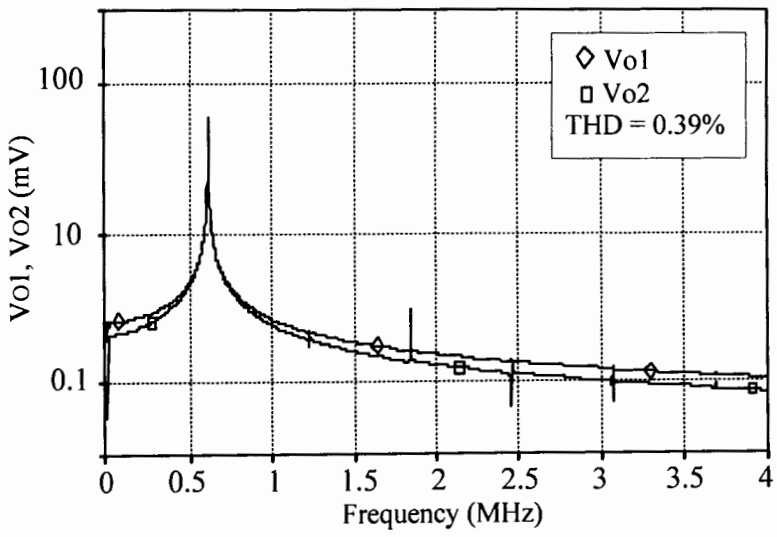


ภาพที่ 5.7 สัญญาณเอาต์พุตของวงจรสภาวะเริ่มต้น



ภาพที่ 5.8 สัญญาณเอาต์พุตของวงจรสภาวะอยู่ตัว

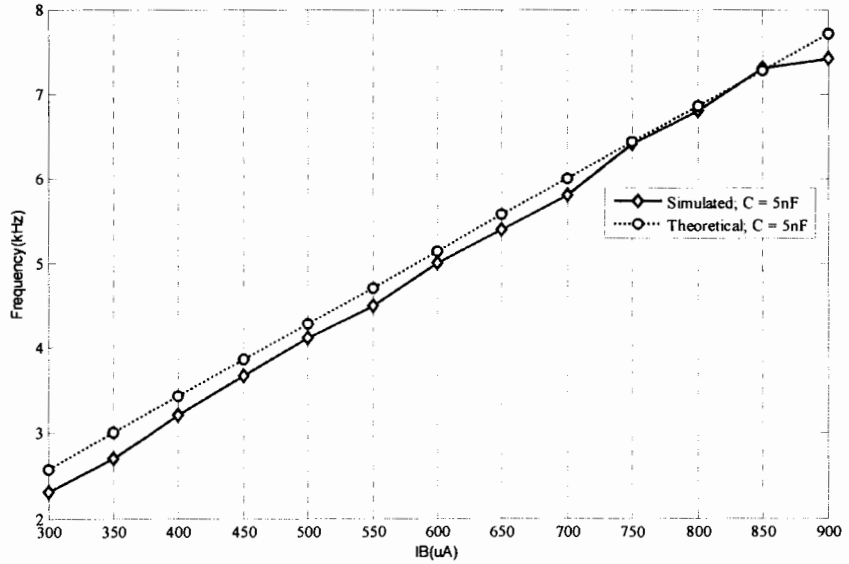
ในที่นี้แม้ว่าในทางทฤษฎีวงจรสามารถประพฤติตัวเป็นวงจรกำเนิดสัญญาณ ซึ่งผลของการจำลองการทำงานของวงจรกำเนิดสัญญาณ แสดงในภาพที่ 5.7 และภาพที่ 5.8 เป็นสัญญาณในสภาวะเริ่มต้น และในสภาวะอยู่ตัวตามลำดับ จะเห็นได้ว่าสัญญาณจะมีความต่างเฟส 90 องศา มีความผิดเพี้ยนของสัญญาณอยู่ที่ร้อยละ 0.39 และวงจรใช้พลังงาน (power consumption) มีค่าเท่ากับ 37.7mW ค่าสเปกตรัมของสัญญาณที่ความถี่ 600kHz แสดงดังภาพที่ 5.9



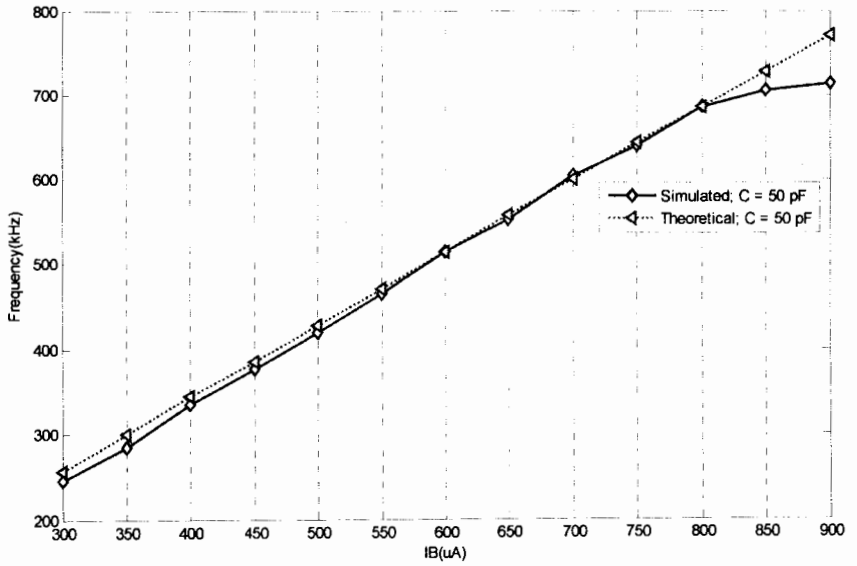
ภาพที่ 5.9 สเปกตรัมของสัญญาณที่ความถี่ 600kHz

เพื่อยืนยันสมรรถนของการกำเนิดสัญญาณความถี่ของวงจรตามสมการที่ (5.11) ทำการทดสอบโดยใช้ค่าตัวเก็บประจุ $5nF$ $50pF$ และ $500pF$ และปรับกระแสไบอัส I_B ตั้งแต่ค่า $300\mu A$ ถึง

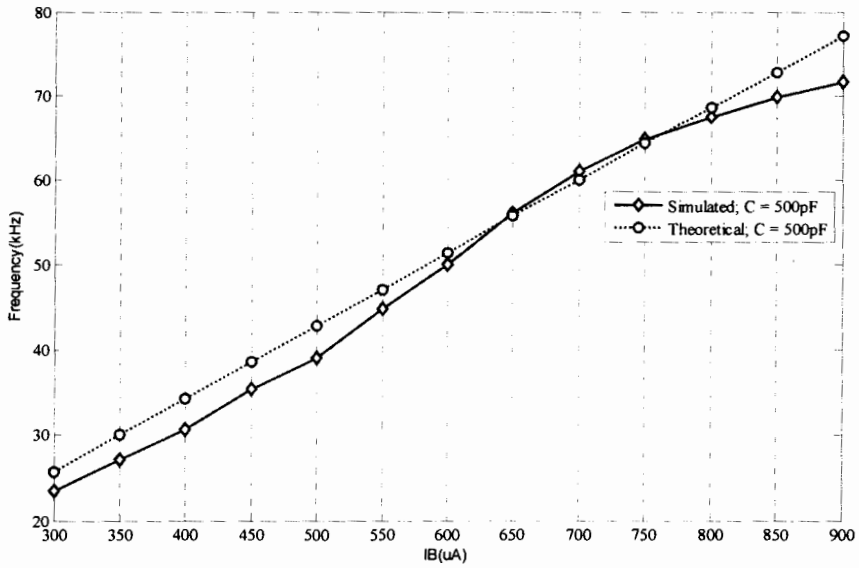
$900\mu A$ ซึ่งวงจรสามารถปรับค่าเงื่อนไขของการกำเนิดสัญญาณความถี่ได้อย่างเชิงเส้นสอดคล้องกับที่คาดการณ์ไว้ตามทฤษฎีดังภาพที่ 5.10



ภาพที่ 5.10 สัญญาณความถี่เอาต์พุตของวงจรเมื่อใช้ค่าตัวเก็บประจุ $5nF$

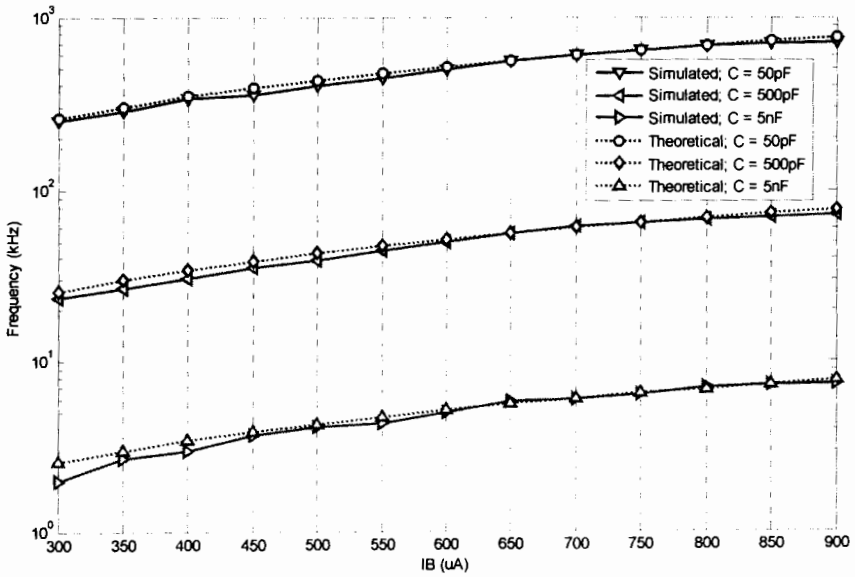


ภาพที่ 5.11 สัญญาณความถี่เอาต์พุตของวงจรเมื่อใช้ค่าตัวเก็บประจุ $50pF$



ภาพที่ 5.12 สัญญาณความถี่เอาต์พุตของวงจรเมื่อใช้ค่าตัวเก็บประจุ $500pF$

ภาพที่ 5.13 แสดงการทดสอบโดยเปรียบเทียบค่าตัวเก็บประจุ 3 ค่าคือ $5nF$ $50pF$ และ $500pF$ และปรับกระแสไบอัส I_B ตั้งแต่ค่า $300\mu A$ ถึง $900\mu A$ ซึ่งพบว่าวงจรสามารถปรับค่าเงื่อนไขของการกำเนิดสัญญาณความถี่ได้อย่างเชิงเส้น และวงจรสามารถทำงานได้สอดคล้องกับที่คาดการณ์ไว้ตามทฤษฎีแสดงดังภาพที่ 5.13



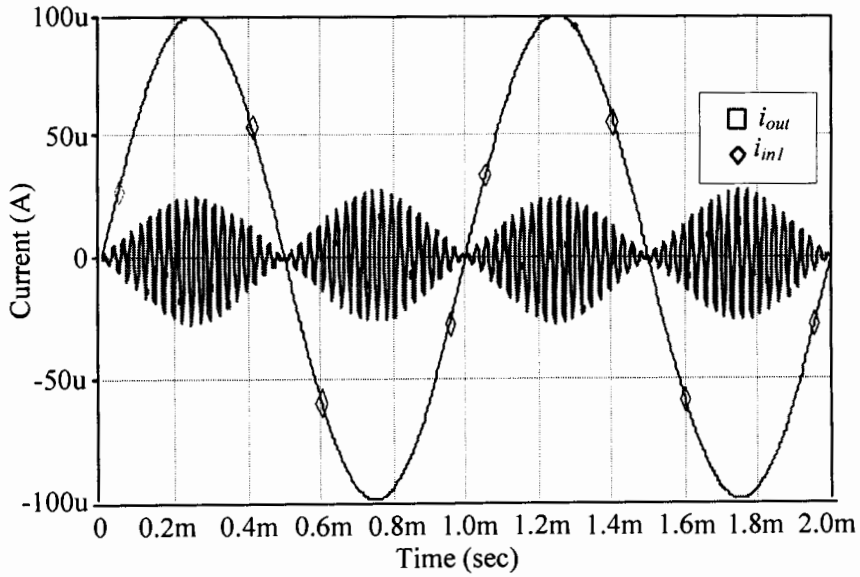
ภาพที่ 5.13 สัญญาณความถี่เอาต์พุตของวงจรเมื่อใช้ค่าตัวเก็บประจุ $5nF$ $50pF$ และ $500pF$

5.2.2 วงจรคูณสัญญาณกระแส

วงจรคูณกระแสสัญญาณแบบแอนะล็อกที่ออกแบบโดยใช้วงจรซีมอสโอทีเอแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้นที่นำเสนอ วงจรประกอบด้วยวงจรซีมอสโอทีเอแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น จำนวน 3 ตัว ซึ่งวงจรไม่มีส่วนประกอบของอุปกรณ์พาสซีฟ โดยละเอียดของวงจรได้กล่าวไว้แล้วในบทที่ 4 วงจรออกแบบให้สัญญาณกระแส I_{in1} ป้อนเข้าที่อินพุต V_{in}^{+} ของ $OTA1$ ซึ่งก็คือส่วนของวงจรตัวต้านทานต่อลงกราวด์ที่ควบคุมด้วยกระแส โดยเป็นแรงดันอินพุตให้กับ $OTA2$ และ $OTA3$ และสัญญาณกระแส I_{in2} ป้อนร่วมกับกระแสไบอัส I_{B2} ของ $OTA2$ พิจารณากระแสเอาต์พุต I_{o2} ของ $OTA2$ และกระแสเอาต์พุต I_{o3} ของ $OTA3$ กระแสเอาต์พุตของวงจรหาได้ดังสมการ

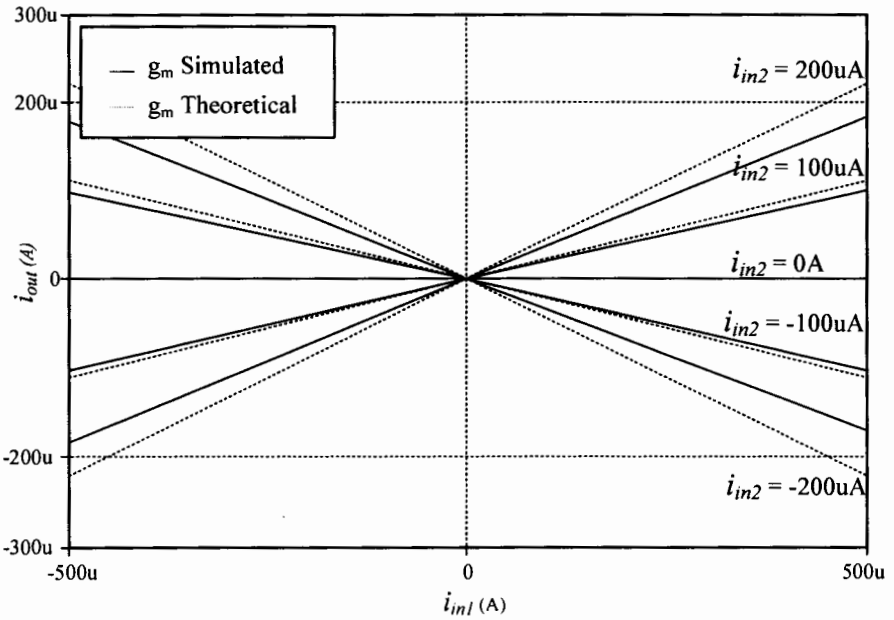
$$I_{out} = \frac{i_{i1} i_{in2}}{I_{B1}} \tag{5.12}$$

จากการออกแบบ และการวิเคราะห์วงจรคูณสัญญาณกระแสแบบอนาล็อก กำหนดให้กระแสไบอัส $I_{B2} = I_{B3} = I_B = 450\mu A$, $i_{in1} = 0.1\sin(2\pi 1000t)mA$, $i_{in2} = 0.1\sin(2\pi 3000t)mA$ และ $I_{B1} = 450\mu A$ สัญญาณเอาต์พุตแสดงดังภาพที่ 5.14



ภาพที่ 5.14 สัญญาณเอาต์พุตของวงจรคูณสัญญาณกระแสแบบแอนะล็อก

ภาพที่ 5.15 แสดงคุณสมบัติของสัญญาณกระแสเอาต์พุตของวงจรคูณสัญญาณกระแสแบบแอนะล็อก โดยการปรับค่ากระแส i_{in1} ตั้งแต่ $-500\mu A$ ถึง $500\mu A$ และปรับค่ากระแส i_{in2} มีค่า $-200\mu A$ $-100\mu A$ $0\mu A$ $100\mu A$ และ $200\mu A$ ตามลำดับ กระแสไบอัส I_{B1} มีค่าเท่ากับ $450\mu A$



ภาพที่ 5.15 คุณสมบัติของสัญญาณกระแสเอาต์พุตของวงจรคูณสัญญาณกระแสแบบแอนะล็อก

5.2.3 วงจรกรองความถี่แบบหลายหน้าที่

วงจรกรองความถี่ออกแบบด้วยวงจรซีมอสโอทีเอแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น ซึ่งวงจรมีคุณสมบัติคือ วงจรสามารถปรับค่าคลอลิตี้แฟกเตอร์โดยอิสระจากค่าความถี่โพลด้วยวิธีทางอิเล็กทรอนิกส์ และวงจรสามารถทำงานได้ 5 ฟังก์ชันพร้อมกันสำหรับสร้างการตอบสนองแบบความถี่ต่ำผ่าน (low-pass filter) แบบความถี่สูงผ่าน (high-pass filter) แบบแถบความถี่ผ่าน (band-pass filter) แบบแถบความถี่หยุด (band-reject filter) และแบบทุกความถี่ผ่าน (all-pass filter) โดยไม่ต้องเปลี่ยนโครงสร้างของวงจร ละเอียดของการออกแบบวงจรได้กล่าวไว้แล้วในบทที่ 4 จากโครงสร้างของวงจรกรองความถี่แบบหลายหน้าที่ โดยที่กระแส I_{B1} เป็นกระแสไบอัส $OTA1$ และกระแส I_{B2} เป็นกระแสไบอัส $OTA2$ เมื่อพิจารณาคุณสมบัติของวงจรจะได้แรงดันเอาต์พุตดังนี้

$$V_O = \frac{V_{in1}s^2C_1C_2 + V_{in2}sC_2G_1 + V_{in3}g_{m1}g_{m2}}{s^2C_1C_2 + sC_2G_1 + g_{m1}g_{m2}} \tag{5.13}$$

เมื่อ $G_1 = 1/R_1$ และ $g_m = \frac{I_B}{2}\sqrt{\frac{k}{8I_A}}$ โดยที่ความถี่โพล และคลอลิตี้แฟกเตอร์สามารถหาค่าได้ดังสมการ

$$\omega_O = \sqrt{\frac{g_{m1}g_{m2}}{C_1C_2}} \tag{5.14}$$

$$Q_O = R_1\sqrt{\frac{C_1 g_{m1} g_{m2}}{C_2}} \tag{5.15}$$

จากสมการที่ (5.14) และสมการที่ (5.15) เมื่อ $g_{m1} = \frac{I_{B1}}{2}\sqrt{\frac{k}{8I_A}}$ และ $g_{m2} = \frac{I_{B2}}{2}\sqrt{\frac{k}{8I_A}}$ สมการของความถี่โพล และคลอลิตี้แฟกเตอร์สามารถหาได้ใหม่ดังสมการ

$$\omega_O = \frac{I_B}{2}\sqrt{\frac{k}{8I_A C_1 C_2}} \tag{5.16}$$

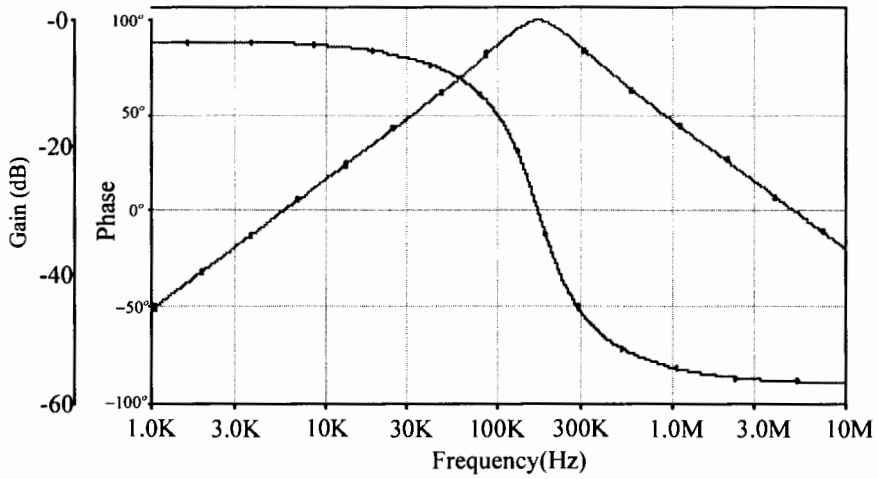
$$Q_O = R_1\frac{I_B}{2}\sqrt{\frac{kC_1}{8I_A C_2}} \tag{5.17}$$

สามารถเลือกแรงดันอินพุตในลักษณะการควบคุมด้วยดิจิตอลได้ตามตารางที่ 5.2 เพื่อให้ได้ผลตอบสนองของวงจรความถี่ลำดับสอง พบว่าสามารถทำงานได้ 5 ฟังก์ชันพร้อมกัน คือ แบบความถี่ต่ำผ่าน (LP: low-pass filter) แบบความถี่สูงผ่าน (HP: high-pass filter) แบบแถบความถี่ผ่าน (BP: band-pass filter) แบบแถบความถี่หยุด (BR: band-reject filter) และแบบทุกความถี่ผ่าน (AP: all-pass filter)

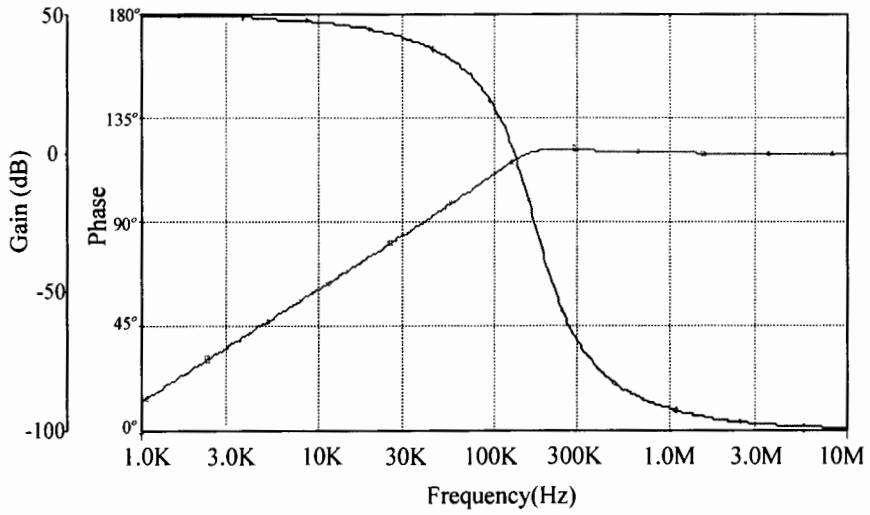
ตารางที่ 5.2 ค่าแรงดันอินพุตเพื่อให้ได้ผลตอบสนองของแต่ละฟังก์ชัน

Filter Responses	Inputs		
V_O	V_{in1}	V_{in2}	V_{in3}
BP	0	1	0
HP	1	0	0
LP	0	0	1
BR	1	0	1
AP	1	-1	1

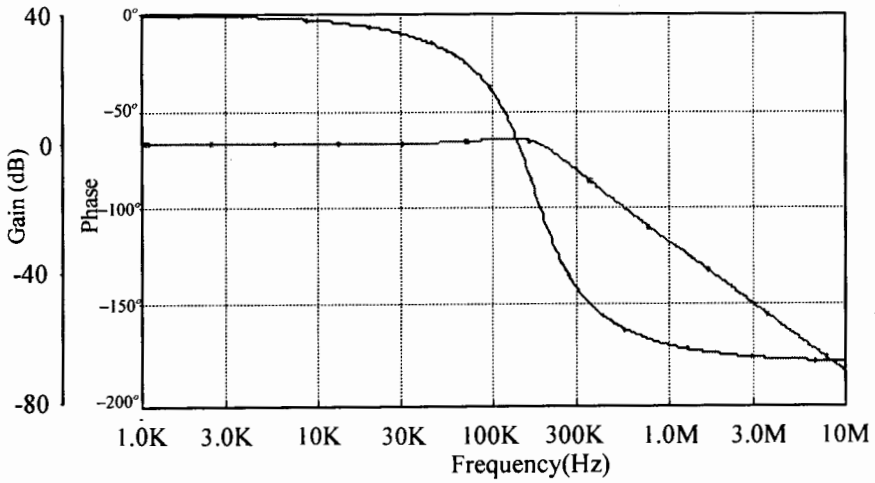
จากการออกแบบ และการวิเคราะห์วงจรคูณสัญญาณกระแสแบบแอนะล็อก เพื่อหาประสิทธิภาพของวงจรที่ออกแบบจึงได้ทำการทดสอบด้วยโปรแกรม PSPICE simulation โดยการกำหนดให้กระแสไบอัส $I_{B1} = I_{B2} = I_B = 500\mu A$ ตัวเก็บประจุ $C_1 = C_2 = 100pF$ และตัวต้านทาน $R_1 = 10k\Omega$ ผลการจำลองการทำงาน 5 ฟังก์ชัน ได้แก่ แบบแถบความถี่ผ่าน แสดงดังภาพที่ 5.16 แบบความถี่สูงผ่าน แสดงดังภาพที่ 5.17 แบบความถี่ต่ำผ่าน แสดงดังภาพที่ 5.18 แบบแถบความถี่หยุด แสดงดังภาพที่ 5.19 และแบบทุกความถี่ผ่าน แสดงดังภาพที่ 5.20



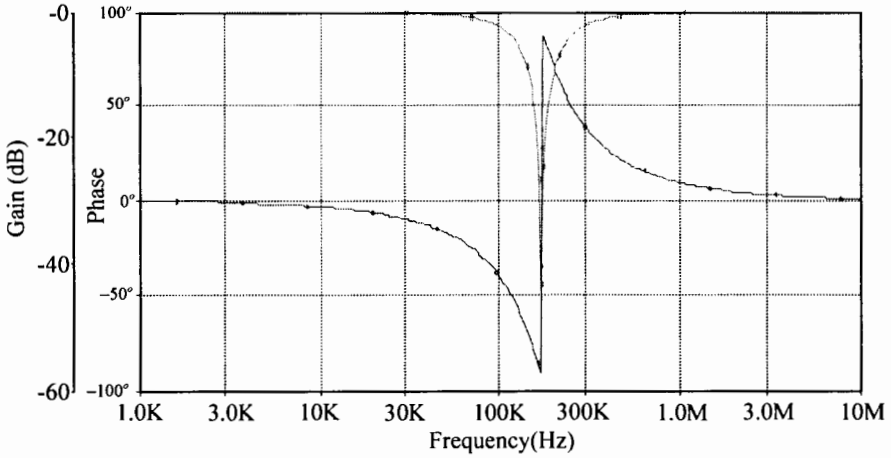
ภาพที่ 5.16 ผลตอบสนองของฟังก์ชันกรองแบบแถบความถี่ผ่าน



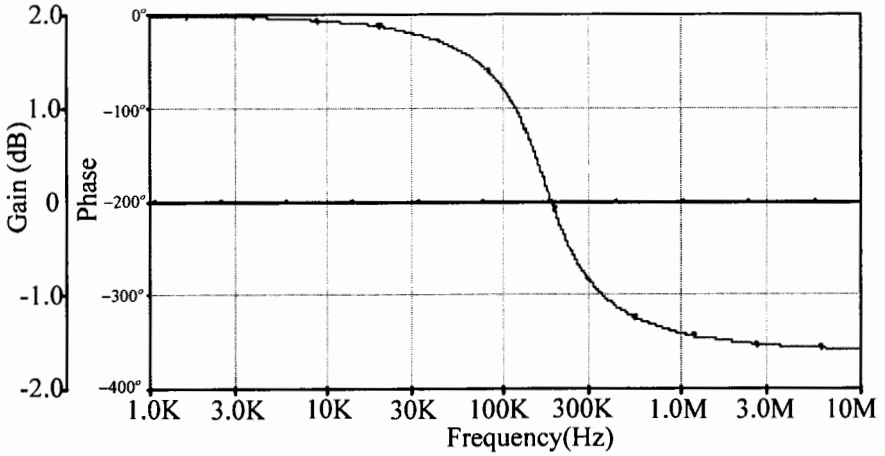
ภาพที่ 5.17 ผลตอบสนองของฟังก์ชันกรองแบบความถี่สูงผ่าน



ภาพที่ 5.18 ผลตอบสนองของฟังก์ชันกรองแบบความถี่ต่ำผ่าน

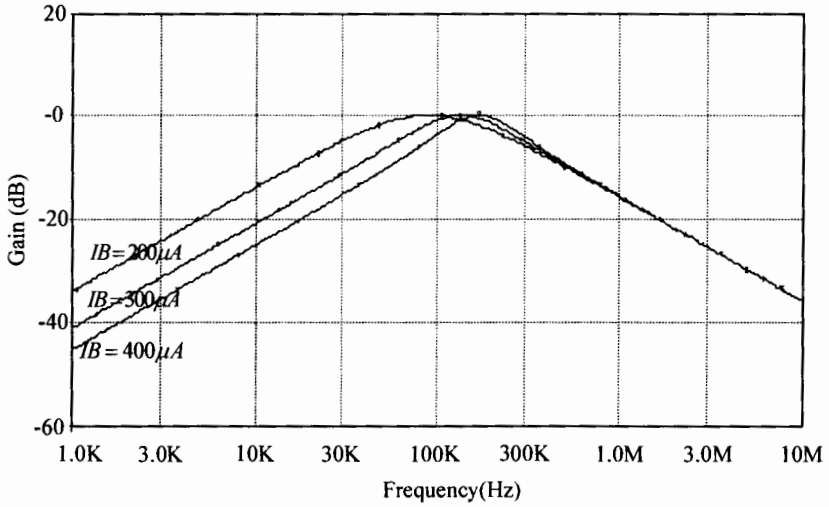


ภาพที่ 5.19 ผลตอบสนองของฟังก์ชันกรองแบบแถบความถี่หยุด



ภาพที่ 5.20 ผลตอบสนองของฟังก์ชันกรองแบบทุกความถี่ผ่าน

ส่วนผลการจำลองในภาพที่ โดยการเปลี่ยนค่ากระแสไบอัส $I_{B1} = I_{B2} = I_B$ เป็น $200\mu A$ $300\mu A$ และ $400\mu A$ เพื่อยืนการการปรับค่าอัตราขยายได้อย่างเชิงเส้นแสดงดังภาพที่ 5.21



ภาพที่ 5.21 ผลตอบสนองของฟังก์ชันกรองแถบความถี่ผ่านเมื่อเปลี่ยนค่ากระแสไบอัส

5.3 บทสรุป

ในบทนี้ได้กล่าวถึงคุณสมบัติวงจรทรานส์คอนดัคเตอร์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น ที่ออกแบบให้ค่าอัตราขยายทรานส์คอนดัคแตนซ์สามารถปรับค่าขยายได้อย่างเชิงเส้นด้วยวิธีอิเล็กทรอนิกส์ โดยวงจรประกอบด้วยสองส่วน ได้แก่ วงจรทรานส์คอนดัคเตอร์แบบซีมอส และวงจรยกกำลังสองของสัญญาณกระแส โดยที่ออกแบบให้ส่วนของกระแสดีซีไบอัสของคู่ผลต่าง อยู่ในเทอมของ I_B^2 นอกจากนี้ยังได้แสดงผลการจำลองการทำงานของวงจรทรานส์คอนดัค-เตอร์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น ช่วงความถี่ปฏิบัติงานของวงจร ค่าอัตรามาร์จิ้นของวงจร ค่าเฟสมาร์จิ้นของวงจรมี ค่าต่ำกว่า 180° แสดงให้เห็นว่าวงจรมีสถานะความมีเสถียรภาพสัมบูรณ์ ไม่เกิดการออสซิลเลตขึ้นเมื่อนำวงจรไปใช้งาน ค่าเปลี่ยนแปลงแรงดันอินพุตได้สูงที่สุดและต่ำที่สุดของวงจร ค่าแรงดันอินพุตออฟเซ็ตของวงจร และประยุกต์ใช้งานที่ออกแบบโดยวงจรทรานส์คอนดัคเตอร์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น ส่วนการประยุกต์ใช้งานของวงจรที่นำเสนอ พบว่าวงจรกำเนิดสัญญาณซายน์ สามารถปรับค่าเงื่อนไขของการกำเนิดสัญญาณ และการกำเนิดสัญญาณความถี่ได้อย่างเชิงเส้น เนื่องจากว่ากระแสไบอัสไม่ได้อยู่ในฟังก์ชันของรากที่สอง และสามารถปรับค่าเงื่อนไขของการกำเนิดสัญญาณ และการกำเนิดสัญญาณความถี่ ได้อิสระจากกัน ส่วนวงจรคูณสัญญาณกระแสนั้นวงจรที่ออกแบบสามารถคูณสัญญาณกระแสได้แบบสี่ควอแดนซ์ และวงจรกรองความถี่หลายหน้าที่ พบว่าวงจรสามารถปรับค่าควอลิตี้แฟกเตอร์ และความถี่โพลได้อย่างเชิงเส้น เนื่องจากกระไบอัสไม่ได้อยู่ในฟังก์ชันของรากที่สอง และสามารถปรับค่าควอลิตี้แฟกเตอร์ได้อิสระจากความถี่โพล

บทที่ 6
บทสรุปและข้อเสนอแนะ

วิทยานิพนธ์นี้ได้ทำการศึกษา ค้นคว้า และออกแบบบวงจรทรานส์คอนดัคเตอร์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น โดยมีเป้าหมายที่จะเป็นส่วนหนึ่งขององค์ความรู้ทางด้านการศึกษาและออกแบบวงจรวงจรทรานส์คอนดัคเตอร์ สำหรับวงจรที่มีช่วงอินพุตกว้าง และสามารถปรับค่าอัตราขยายทรานส์คอนดัคแตนซ์ได้อย่างเชิงเส้นด้วยวิธีอิเล็กทรอนิกส์ จำลองการทำงานของวงจรด้วยโปรแกรม PSPICE สำหรับทรานซิสเตอร์แบบซีมอส ที่ใช้ในการจำลองการทำงานของวงจรได้ใช้พารามิเตอร์ของทรานซิสเตอร์ TSMC 0.35 um level 3 วงจรทำงานที่แรงดันไฟเลี้ยงต่ำ บริโภคกำลังไฟฟ้าต่ำ สามารถประยุกต์ใช้งานสำหรับการออกแบบวงจรอิเล็กทรอนิกส์แบบแอนะล็อก ซึ่งจากการออกแบบบวงจร สามารถสรุปผลการดำเนินงาน ปัญหาและข้อเสนอแนะได้ดังนี้

6.1 บทสรุปของงานวิจัย

6.1.1 การสังเคราะห์และออกแบบวงจรทรานส์คอนดัคเตอร์แบบซีมอสแบบมีช่วงอินพุตกว้าง ที่สามารถปรับค่าได้อย่างเชิงเส้น โดยออกแบบทรานส์คอนดัคเตอร์แบบลดทอนซอร์ส ซึ่งเป็นเทคนิคการป้อนกลับแบบลบ และออกแบบให้ส่วนของกระแสดีซีไบอัสของคู่ผลต่างให้อยู่ในเทอมของ I_B^2 นั้นคือต้องอาศัยการทำงานของวงจรยกกำลังสองของสัญญาณกระแส โดยมีรายละเอียดดังนี้

6.1.1.1 ค่าแรงดันอินพุตออฟเซ็ตของวงจรมีค่าเท่ากับ $|V_{OS}| = 2.48pV$

6.1.1.2 ค่าเปลี่ยนแปลงแรงดันอินพุตได้สูงที่สุดและต่ำที่สุดของวงจรมีค่าเท่ากับ $-1.49\text{V} \le V_{CM} \le 1.5\text{V}$

6.1.1.3 ค่าแรงดันอินพุตของวงจรเปลี่ยนแปลงเป็นกระแสทางเอาต์พุตอย่างเป็นเชิงเส้นอยู่ระหว่าง -0.97V ถึง 0.97V

6.1.1.4 วงจรทรานส์คอนดัคเตอร์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้นอยู่ในช่วงตั้งแต่ 1nA ถึง 1.1mA ค่าความคลาดเลื่อนของอัตราขยายทรานส์คอนดัคแตนซ์มีค่าความคลาดเคลื่อนอยู่ที่ระดับร้อยละ 4.3

6.1.1.5 มีช่วงความถี่ปฏิบัติงานของวงจรมีค่าเท่ากับ 8.31GHz ค่าความคลาดเคลื่อนของช่วงความถี่ปฏิบัติงานของวงจรมีค่าประมาณร้อยละ 5

6.1.1.6 ค่าเกนมาร์จินของวงจรมีค่าเท่ากับ -95.22dB

6.1.1.7 เฟสมาร์จินของวงจรมีค่าเท่ากับ 90.09°

6.1.2 การสังเคราะห์และการประยุกต์ใช้งานวงจรทรานส์คอนดัคเตอร์แบบซีมอสแบบมีช่วงอินพุตกว้าง ที่สามารถปรับค่าได้อย่างเชิงเส้น โดยใช้วงจรที่ออกแบบเป็นอุปกรณ์หลัก ได้แก่ วงจรกำเนิดสัญญาณซายน์ วงจรคูณสัญญาณกระแส และวงจรกรองความถี่หลายหน้าที่ โดยมีคุณสมบัติดังนี้

6.1.2.1 วงจรกำเนิดสัญญาณซายน์ วงจรประกอบด้วย วงจรทรานส์คอนดัคเตอร์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น จำนวน 3 ตัว ตัวเก็บประจุที่ต่อลงกราวด์จำนวน 2 ตัว ตัวต้านทานที่ต่อลงกราวด์จำนวน 1 ตัว และวงจรบวกลบสัญญาณ จุดเด่นของวงจรคือ เงื่อนไขของการกำเนิดสัญญาณความถี่สามารถค่าของการกำเนิดสัญญาณความถี่ได้อย่างเชิงเส้น และเงื่อนไขของการกำเนิดสัญญาณความถี่ สามารถปรับเงื่อนไขของการกำเนิดสัญญาณและการกำเนิดสัญญาณความถี่ได้อิสระจากกัน

6.1.2.2 วงจรคูณสัญญาณกระแส วงจรประกอบด้วย วงจรทรานส์คอนดัคเตอร์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น จำนวน 3 ตัว โดยไม่อุปกรณ์พาสซีพต่อร่วม จุดเด่นของวงจรคือ วงจรสามารถคูณสัญญาณกระแสเป็นไปตามสมการเงื่อนไข

6.1.2.3 วงจรกรองความถี่หลายหน้าที่ วงจรประกอบด้วย วงจรทรานส์คอนดัคเตอร์แบบซีมอสแบบมีช่วงอินพุตกว้างที่สามารถปรับค่าได้อย่างเชิงเส้น จำนวน 2 ตัว จุดเด่นของวงจรคือ สามารถเลือกผลตอบสนองทางเอาต์พุตได้ด้วยวิธีทางดิจิตอล

6.2 ข้อเสนอแนะ

จากวงจรทรานส์คอนดัคเตอร์แบบซีมอส แบบมีช่วงอินพุตกว้างที่สามารถปรับค่าอัตราขยายทรานส์คอนดัคแตนซ์ได้อย่างเชิงเส้น ที่นำเสนอในวิทยานิพนธ์ พบว่าหากออกแบบวงจรเพิ่ม ทำให้สามารถพัฒนาวงจรทรานส์คอนดัคเตอร์แบบซีมอส แบบมีช่วงอินพุตกว้างที่สามารถปรับค่าอัตราขยายทรานส์คอนดัคแตนซ์ได้อย่างเชิงเส้นนี้ พัฒนาให้เป็นวงจรออปแอมป์ได้หลายแบบ เช่น ออปแอมป์แบบภาคเดียว (single stage op-amp) ออปแอมป์แบบสองภาค (two stage op-amp) หรือ ออปแอมป์แบบไม่มีบัฟเฟอร์ (un-buffer op-amp) เป็นต้น นอกจากนี้หากใช้พารามิเตอร์ของทรานซิสเตอร์ให้มีขนาดเล็กลงก็สามารถที่ออกแบบวงจรทรานส์คอนดัคเตอร์แบบซีมอสที่ใช้แรงดันไฟเลี้ยงต่ำ บริโภคกำลังไฟฟ้าต่ำได้อีก

ผู้วิจัยหวังเป็นอย่างยิ่งว่าวิทยานิพนธ์ฉบับนี้จะเป็นประโยชน์และสามารถใช้เป็นแนวทางสำหรับผู้ที่มีความสนใจเกี่ยวกับวงจรทรานส์คอนดัคเตอร์แบบซีมอส แบบมีช่วงอินพุตกว้างที่สามารถปรับค่าอัตราขยายทรานส์คอนดัคแตนซ์ได้อย่างเชิงเส้น รวมถึงข้อเสนอแนะที่ผู้วิจัยได้ให้ข้อเสนอแนะไว้

เอกสารอ้างอิง

เอกสารอ้างอิง

[1] Bhaskar D. R. and et al. "New current-mode universal biquad filter", **Microelectronics Journal**. 30(10): 837–839; September, 1999

[2] Lin, Y. T., Chen, C. H. and Lum, S. S. "A feed-forward automatic-gain control amplifier for biomedical applications", In **Asia-Pacific Microwave Conference Proceedings**. Bangkok, Thailand: Grand Hyatt Erawan Hotel, 2007.

[3] Riewruja, V. and Rerkratn, A. "Four-quadrant analogue multiplier using operational amplifier", **International Journal of Electronics**. 98(4): 459-474; April, 2011.

[4] Souliotis, G. and Psychalinos,"C. "Harmonic oscillators realized using current amplifiers and grounded capacitors", **International Journal of Circuit Theory and Applications**. 35(2): 93–104; February, 2007.

[5] Senani, R. and Singh, V. K. "Novel single-resistance controlled oscillator configuration using current feedback amplifiers", **IEEE Trans. Circuits**. 43(8): 698-700; August, 1996.

[6] Souliotis, G. "A current mode automatic frequency tuning system for filters with current mirrors", **International Journal of Circuit Theory and Applications**. 38(6): 591-606; June, 2010.

[7] Psychalinos, C. "Square-root domain wave filters", **International Journal of Circuit Theory and Applications**. 35(1): 131–148; January, 2007.

[8] Wittlinger, H. A. "Application of the CA3080 and CA3080A High Performance Operational Transconductance Amplifiers", **RCA Application Note ICAN-6668**. US: Somerville, 1972.

[9] Huang, S.-C. and Ismail, M. A. "Voltage-Controllable Linear MOS Transconductance Using Bias Offset Technique", **IEEE Journal of Solid-State Circuits**. 25(1): 315-317; January, 1993.

[10] Wilson, G. and Chan, P. K. "Saturation-Mode CMOS Transconductor with Enhanced Tunability and Low distortion", **Electronics Letters**. 29(1): 459-461; January, 1993.

[11] Jiunn, Y. L., Chien, C. T. and Wei, H. C. "A 3 V linear input range tunable CMOS transconductor and its application to 3.3 V 1.1 MHz Chebyshew low-pass Gm-C filter for ADSL", In **IEEE 2000 Custom Integrated Circuits Conference**. p.387-390. New Jersey: IEEE Press, 2000.

เอกสารอ้างอิง (ต่อ)

[12] Wang, Z. and Guggenbuhl, W. "A Voltage-Controllable Linear MOS Transconductor Using Bias Offset Technique", **IEEE Journal of Solid-State Circuits**. 25(1): 315-317; January, 1990.

[13] Kaewdang, K. and Surakampontorn, W. "A Wide Tunable Range CMOS OTA", **ECTI-CON**. 2(1):705–708; January, 2008.

[14] Kaewdang, K. and Surakampontorn, W. "On the realization of electronically current-tunable CMOS OTA", **International Journal of Electronics and Communications**. 61(1): 300-306; January, 2007.

[15] Kaewdang, K. and Surakampontorn, W. "A balanced output CMOS OTA with wide Linear current tunable range", **International Journal of Electronics and Communications**. 65(1): 728-733; January, 2011.

[16] Yodtean, A. "A CMOS OTA and Implementation", In **Processing and Communication Systems (ISPACS), 2014 International Symposium on Intelligent Signal**. p.108-120. Malaysia: Kuching, Sarawak, 2014.

[17] Abdelfattah, O. and et al. "A 0.35-V bulk-driven self-biased OTA with rail-to-rail input range in 65 nm CMOS", In **Proceedings of the 2015 IEEE International Symposium on Circuits and Systems (ISCAS)**. p.257–260. Portugal: Lisbon, 2015.

[18] Gray, P. R. and et al. **Analysis and design of analog integrated circuits**. 4th edition. New Jersey: John Wiley & Sons, Inc., 2001.

[19] Greeneich, E. W. **Analog Integrated Circuit**. New York: Chapman and Hall, Inc., 1997.

[20] Hung, C.-C. and Halonen, K. "Micropower CMOS GM-C Filters for Speech Signal Processing", In **Proceedings of 1997 IEEE International Symposium on Circuits and systems (ISCAS)**. p.1972-1975. Hong Kong: Kowloon Shangri-La Hotel, 1997.

[21] Bruschi, P. and et al. "A tunable CMOS transconductor for ultra-low Gm with wide differential input voltage range", In **Proceedings of the 2005 European Conference on Circuit Theory and Design**. p.337-350. Ireland: Cork, 2005.

[22] ขนิษฐา แก้วแดง. " เทคนิคการออกแบบวงจรซีมอสทรานส์คอนดัคเตอร์ที่ปรับค่าขยายทรานส์คอนดัคแตนซ์ได้ด้วยวิธีอิเล็กทรอนิกส์", **วารสารวิชาการ วิศวกรรมศาสตร์ ม.อบ.** 2(2): 34-46; ธันวาคม, 2552.

เอกสารอ้างอิง (ต่อ)

[23] Bult, K. and Wallinga, H. "A class of analog CMOS circuit based on the square-law characteristic of a MOS transistor in saturation", **IEEE Journal of Solid-State Circuits**. 22(3): 357-364; May, 1987.

[24] Shruti, D. D. and Gitika, M. "Design of High Gain, Two-Stage CMOS Operational Amplifier", **International Journal of IT, Engineering and Applied Sciences Research**. 4(6): 22-26; June, 2015.

[25] Kasundra, A. and et al. "Single Stage and Two Stage OP-AMP Design in 180nm CMOS Technology", **International Journal of Science Technology and Engineering**. 2(1): 514-520; April, 2016.

[26] Bolton, W. **Measurement and Instrumentation Systems**. Oxford, UK: Newnes, 1996.

[27] Gibson, J. D. **The Communications Handbook**. New Jersey: CRC Press, 1997.

[28] Nahm, S., Han, K. and Sung, W. "A cordic-based digital quadrature mixer" In **Proceedings of the 1998 IEEE International Symposium on Circuits and Systems**. p.385-398. New Jersey: Picatway, 1998.

[29] Kaewdang, K. Fongsamut, C. and Surakampontorn, W. "A Wide-Band circuit-mode OTA-based analog multiplier-divider", In **Circuits and Systems, 2003. ISCAS '03. Proceedings of the 2003 International Symposium**. p.349-352. Bangkok: IEEE Press, 2003.

[30] วินัย ใจกล้า และมนตรี ศิริปรัชญานันท์. "วงจรกรองความถี่โหมดแรงดันหลายหน้าที่โดยใช้วงจรขยายความนำถ่ายโอน", ใน **การสัมมนาทางวิชาการทางวิทยาศาสตร์และสังคมศาสตร์ ครั้งที่ 1, มหาวิทยาลัยราชภัฏมหาสารคาม**. น.857-863. มหาสารคาม: มหาวิทยาลัยราชภัฏมหาสารคาม, 2551.

ภาคผนวก

ภาคผนวก ก
ค่าพารามิเตอร์ของซีมอสทรานซิสเตอร์ TSMC 0.35μm level 3 ที่ใช้ในการจำลองการทำงานด้วยโปรแกรม PSPICE

ค่าพารามิเตอร์ของเอ็นมอสทรานซิสเตอร์ TSMC 0.35μm level 3 (www.mosis.com)

```
.MODEL CMOSN NMOS  (                          LEVEL   = 3
+VERSION = 3.1     TNOM    = 27               TOX     = 7.8E-9
+XJ      = 1E-7    NCH     = 2.2E17           VTH0    = 0.4730643
+K1      = 0.6129988  K2     = 7.542666E-4     K3      = 100
+K3B     = -10     W0      = 3.02827E-5       NLX     = 4.058176E-7
+DVT0W   = 0       DVT1W   = 0                DVT2W   = 0
+DVT0    = 0.4689888  DVT1   = 0.2917777      DVT2    = -0.3
+U0      = 355.1321831  UA   = -8.40947E-10   UB      = 2.261637E-18
+UC      = 2.996492E-11  VSAT = 1.875162E5    A0      = 0.8883904
+AGS     = 0.1167968  B0     = 1.155842E-6    B1      = 5E-6
+KETA    = 3.56905E-3  A1    = 0              A2      = 0.3740786
+RDSW    = 1.131183E3  PRWG  = -0.1100856     PRWB    = -0.2
+WR      = 1        WINT    = 1.481909E-7     LINT    = 3.346531E-10
+XL      = -5E-8    XW      = 1.5E-7          DWG     = -4.274339E-9
+DWB     = 5.243879E-9  VOFF = -0.0876189     NFACTOR = 2.0725615
+CIT     = 0        CDSC    = 2.4E-4          CDSCD   = 0
+CDSCB   = 0        ETA0    = 1               ETAB    = -0.0732914
+DSUB    = 0.7823743  PCLM  = 1.676784        PDIBLC1 = 1.543456E-4
+PDIBLC2 = 4.733841E-3  PDIBLCB = 0.1         DROUT   = 3.345392E-4
+PSCBE1  = 7.163825E8  PSCBE2 = 1E-3          PVAG    = 3.072725E-3
+DELTA   = 0.01     RSH     = 78.2            MOBMOD  = 1
+PRT     = 0        UTE     = -1.5            KT1     = -0.11
+KT1L    = 0        KT2     = 0.022           UA1     = 4.31E-9
+UB1     = -7.61E-18  UC1   = -5.6E-11        AT      = 3.3E4
+WL      = 0        WLN     = 1               WW      = 0
+WWN     = 1        WWL     = 0               LL      = 0
+LLN     = 1        LW      = 0               LWN     = 1
+LWL     = 0        CAPMOD  = 2               XPART   = 0.5
+CGDO    = 2.69E-10  CGSO   = 2.69E-10        CGBO    = 1E-12
+CJ      = 9.015359E-4  PB  = 0.8             MJ      = 0.3608969
+CJSW    = 2.782744E-10  PBSW = 0.8           MJSW    = 0.1801287
+CJSWG   = 1.82E-10  PBSWG  = 0.8             MJSWG   = 0.1824357
+CF      = 0        PVTH0   = -0.05           PRDSW   = -121.7614848
+PK2     = 4.477143E-5  WKETA = -1.015121E-3  LKETA   = -0.0120304 )
```

ค่าพารามิเตอร์ของพีมอสทรานซิสเตอร์ TSMC 0.35µm level 3

```
.MODEL CMOSP PMOS  (                          LEVEL  = 3
+VERSION = 3.1     TNOM   = 27                TOX    = 7.8E-9
+XJ      = 1E-7    NCH    = 8.52E16           VTH0   = -0.6954453
+K1      = 0.4304724  K2     = -0.0112912     K3     = 86.4300172
+K3B     = -5      W0     = 6.598922E-6       NLX    = 2.06513E-7
+DVT0W   = 0       DVT1W  = 0                 DVT2W  = 0
+DVT0    = 0.3128439  DVT1   = 0.8240817      DVT2   = -0.2517458
+U0      = 150.785921  UA     = 1E-10         UB     = 1.789607E-18
+UC      = -1.8798E-11  VSAT   = 1.999188E5   A0     = 1.1641922
+AGS     = 0.3099053  B0     = 2.120097E-6    B1     = 5E-6
+KETA    = -4.16221E-3  A1     = 4.218536E-3  A2     = 1
+RDSW    = 3.913702E3  PRWG   = -0.1079321    PRWB   = -4.46657E-3
+WR      = 1        WINT   = 1.500604E-7      LINT   = 0
+XL      = -5E-8    XW     = 1.5E-7           DWG    = -1.858462E-8
+DWB     = 1.143752E-8  VOFF   = -0.140743    NFACTOR = 2
+CIT     = 0        CDSC   = 2.4E-4           CDSCD  = 0
+CDSCB   = 0        ETA0   = 0.032156         ETAB   = 5.85316E-3
+DSUB    = 0.2940371  PCLM   = 4.7751455      PDIBLC1 = 2.143338E-3
+PDIBLC2 = -2.300289E-6  PDIBLCB = -6.805486E-4  DROUT  = 2.413411E-4
+PSCBE1  = 7.927378E10  PSCBE2  = 5.007084E-10  PVAG   = 15
+DELTA   = 0.01     RSH    = 150.7            MOBMOD = 1
+PRT     = 0        UTE    = -1.5             KT1    = -0.11
+KT1L    = 0        KT2    = 0.022            UA1    = 4.31E-9
+UB1     = -7.61E-18  UC1    = -5.6E-11       AT     = 3.3E4
+WL      = 0        WLN    = 1                WW     = 0
+WWN     = 1        WWL    = 0                LL     = 0
+LLN     = 1        LW     = 0                LWN    = 1
+LWL     = 0        CAPMOD = 2                XPART  = 0.5
+CGDO    = 2.05E-10  CGSO   = 2.05E-10        CGBO   = 1E-12
+CJ      = 1.397158E-3  PB     = 0.99         MJ     = 0.5773462
+CJSW    = 3.176388E-10  PBSW   = 0.99        MJSW   = 0.3570517
+CJSWG   = 4.42E-11  PBSWG  = 0.99            MJSWG  = 0.3570517
+CF      = 0        PVTH0  = 0.0253723        PRDSW  = -76.9871264
+PK2     = 2.04063E-3  WKETA  = 4.61596E-3    LKETA  = -8.540344E-3 )
```

ภาคผนวก ข
ผลงานวิจัยที่ได้ตีพิมพ์

Journal of Circuits, Systems, and Computers
© World Scientific Publishing Company

World Scientific
www.worldscientific.com

A linear tunable wide input range CMOS OTA with application to a linear tunable sinusoidal quadrature oscillator*

Danupat Duangmalai[†] and Khanittha Kaewdang[‡]

Faculty of Engineering, UbonRatchathani University,
UbonRatchathani, 34190, Thailand
[†]*kongnkp@hotmail.com*
[‡]*khanittha.k@ubu.ac.th*

Received (Day Month Year)
Revised (Day Month Year)
Accepted (Day Month Year)

In this paper, we present the design technique of the CMOS OTA with wide input voltage range and its transconductance gain can be linear tunable. The realization method is design by the use of current squarer circuit to achieved the linear transconductance with the bias current I_B and improved the linear input voltage range by the source degeneration technique. The OTA transconductance gain can be linearly tuned from 1nA to 1.1mA with the error of less than 4.3% and the linear input voltage range of about 1.01Vp with less than 2.5% nonlinearity is obtained. The performance of the circuit is discussed and confirmed through PSPICE simulation results in TSMC 0.35 μm CMOS technology with power supply of ±1.5V. Moreover, the linear tunable quadrature oscillator is presented and simulated to confirm the usability of the proposed CMOS OTA.

Keywords: CMOS OTA; Transconductance; Linear tunable; Wide input voltage range; Oscillator.

1. Introduction

The operational transconductance amplifier (OTA) or voltage-to-current converter circuit are fundamental building blocks of analog circuits. It is an important part in signal processing system and very useful in many applications such as communication and instrumentation systems. Furthermore, the transconductors or voltage-to-current converter circuit is widely used in various analog electronic circuits, such as, automatic gain control[1], analog multiplier[2], sinusoidal oscillator[3-4], active filter[5] and square-rooters[6]. In many applications, a linearly tunable transconductance controllably by current or

*For the title, try not to use more than three lines. Typeset the title in 10 pt Times Roman, bold with the first letter of important words capitalized.

[†]Typeset names in 8 pt Times Roman. Use the footnote to indicate the present or permanent address of the author.

[‡]State completely without abbreviations, the affiliation and mailing address, including country. Typeset in 8 pt Times Italic.

voltage is preferred and most of these designs are constructed from bi-polar transistors in which more complicate and expensive to fabricate than CMOS technology[7]. However, there are some significant drawbacks in CMOS technology, the operation of CMOS can be expressed as the approximation of squarer function rather than a linear function. Moreover, the disadvantages of CMOS transconductors[8-9] are their linear controllable voltage ranges are quite limited and not suitable for low voltage circuitry due to their weak inversion operating mode.

In the past, many linear CMOS transconductors have been presented[10-12]. Since their transconductance gain were controlled by the DC voltage that provided the controllable range were limit by the supply voltage, therefore the tunable range was narrow. In recent approach, the current controlled transconductor have been proposed[13-18], where their g_m can be linearly tuned for a wide range, however, its structure is quite complicated.

Therefore, in this paper, we propose a new technique design for the wide input range CMOS OTA that its transconductance gain can be linearly tuned by the DC bias current. The circuit is designed based on the balanced differential pair with improving their input range by using active resistances at the source of balanced differential pair in order to reduce the source degeneration and the current squarer circuit for the linear tunable characteristic. Thus, the more current linearity can be archived due to the fact that voltage potential at V_{GS} of the balanced differential pair is less subject to fluctuation and wider input range. The squarer term of the DC bias current of the current squarer circuit yields the dc bias is not function as square root function so we can linearly tune the transconductance of the proposed circuit. Noting that, the first introduce of this technique has been presented in our previous work[19]. However, in this paper the extended of the circuit analysis and the frequency response analysis are presented. Moreover, a new linear tunable quadrature oscillator has been proposed in this paper. This proposed CMOS OTA is verified through the PSPICE simulation based on parameters of the TSMC 0.35 μm and an application example of CMOS OTA as the tunable sinusoidal quadrature oscillator is examined and discussed.

2. Circuit Descriptions

2.1 The design concept of a linear tunable wide input range CMOS OTA

Fig. 1 shows the block diagram of the proposed linear tunable wide input range CMOS OTA. The block diagram comprises of the balanced differential amplifier and the current squarer circuit.

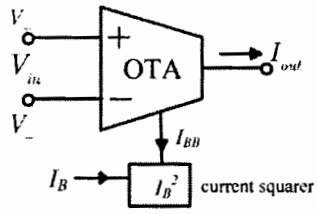


Fig. 1. Block diagram of a linear tunable wide input rang CMOS OTA

From the structure of the proposed circuit, the input DC bias current (I_B) will be squared by the current squarer and the I_{BB} is the output current that will be the bias current of the OTA as

$$I_{BB} = KI_B^2. \tag{1}$$

where K is the constant value of the squarer circuit.

Since the transconductance gain of the balanced OTA is equal to $\sqrt{2kI_{BB}}$[19] where k is the transconductance parameter ($k = \mu C_{OX} W / 2L$), μ is the mobility of the carrier, C_{OX} is the gate-oxide capacitance per unit area, W is the effective channel width, L is the effective channel length and I_B is the DC bias current. From Eq.(1) the transconductance (g_{mT}) of the proposed linear tunable wide input rang CMOS OTA can be expressed as

$$g_{mT} = \sqrt{2k\left(KI_B^2\right)}. \tag{2}$$

or

$$g_{mT} = I_B\sqrt{2kK}. \tag{3}$$

From Eq(3), it can be found that the g_{mT} can be linearly tuned by the DC bias current I_B.

2.2 A current squarer circuit

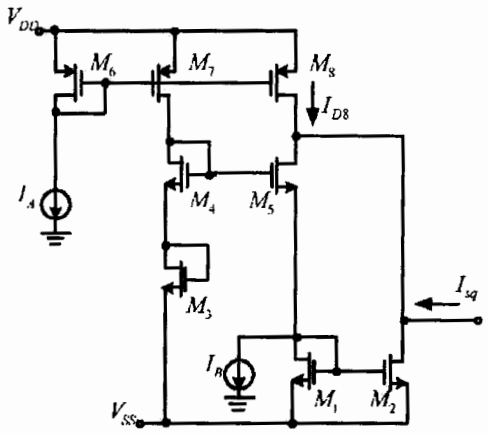


Fig.2. The current squarer circuit

According from above mention, the squarer is used in the bias state, so in this section we will discuss about squarer circuit. Fig.2 shows a squarer circuit, where the transistor M_6, M_7 and M_8 act as current mirror that provide the bias current for M_3, M_4 and M_5. From routine circuit analysis, the output current of the squaring circuit (I_{sq}) can be expressed as

$$I_{sq} = 2I_A + \frac{I_B^2}{8I_A} - I_{D8}. \tag{4}$$

By Eq.(4),if we set the *W/L* of transistor M_8 as follows $(W/L)_{M_8} = 2(W/L)_{M_6,M_7}$, then the current of $I_{D8}$is will be $2I_A$. Subsequently, the Eq. (4) can be rewritten to be

$$I_{sq} = \frac{I_B^2}{8I_A} \text{ for} |I_B| \le 4I_A \tag{5}$$

where I_A is the bias current of the squarer circuit and I_B is the input signal current of the squarer circuit

2.3 A balanced wide input range CMOS OTA

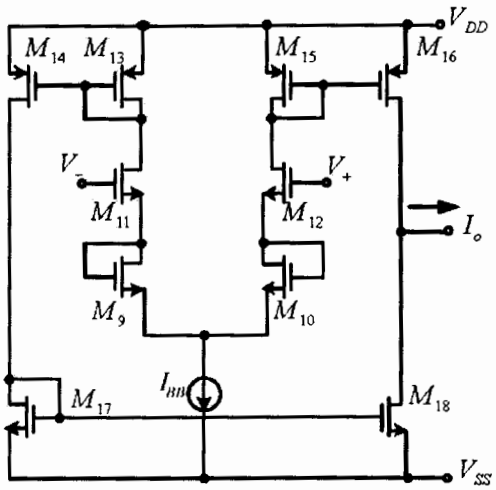


Fig.3. Schematic diagram a balanced wide input range CMOS OTA

The proposed balanced wide input range CMOS OTA is shown in Fig.3 which is consisted of the current mirrors, the differential pair (M_{11} and M_{12}) that perfectly matched with source degeneration which construct by the active resistors (M_9 and M_{10}) where as

I_{BB} is the DC biasing of the balanced differential pair. The input voltage of the circuit is determined as

$$V_{in} = (V_+ - V_-). \tag{6}$$

From the circuit analysis in Fig.3, since $I_{D11} = I_{D9} = \frac{1}{2}\mu_n C_{ox}\left(W/L\right)(V_{GS11} + V_{th})^2$ and $I_{D12} = I_{D10} = \frac{1}{2}\mu_n C_{ox}\left(W/L\right)(V_{GS12} + V_{th})^2$, therefore V_{GS9}, V_{GS10}, V_{GS11} and V_{GS12} are as follows $V_{GS9} = \sqrt{\frac{2I_{D11}}{\mu_n C_{ox} W/L}} + V_{th9}, V_{GS11} = \sqrt{\frac{2I_{D11}}{\mu_n C_{ox} W/L}} + V_{th11}, V_{GS10} = \sqrt{\frac{2I_{D12}}{\mu_n C_{ox} W/L}} + V_{th10}$ and $V_{GS12} = \sqrt{\frac{2I_{D12}}{\mu_n C_{ox} W/L}} + V_{th12}$. Byusing the KVL of the circuit in Fig.3, the input voltage V_{in} becomes

$$V_{in} = V_{GS12} + V_{GS10} - V_{GS11} - V_{GS9}. \tag{7}$$

Substituting V_{GS9}, V_{GS10}, V_{GS11} and V_{GS12} to Eq.(7), therefore V_{in} can be rewritten as

$$V_{in} = \sqrt{\frac{2}{\mu_n C_{ox}\left(\frac{W}{L}\right)}}\left(2\sqrt{I_{D12}} - 2\sqrt{I_{D11}}\right) + V_{th12} + V_{th10} - V_{th11} - V_{th9}. \tag{8}$$

Using the KCL at output node (I_o), the output current I_o can be defined as

$$I_o = I_{D16} - I_{D18} \tag{9}$$

and at node I_{BB}

$$I_{BB} = I_{D11} + I_{D12}. \tag{10}$$

From Eq.(9) if $I_{D16} = I_{D12}$ and $I_{D18} = I_{D11}$, the drain current $I_{D11} = I_o + I_{D12}$, then substitutes these to Eq.(10), it yields $I_{BB} = 2I_{D11} + I_o$. So, the currents I_{D11} and I_{D12} can be expressed as

$$I_{D11} = \frac{I_{BB} - I_o}{2} \tag{11}$$

and

$$I_{D12} = \frac{I_{BB} + I_o}{2}. \tag{12}$$

Substituting Eq.(11) and(12) into Eq.(8), it yields

$$V_{in} = \sqrt{\frac{1}{\mu_n C_{ox} W/L}}\left(2\sqrt{\frac{I_{BB}+I_o}{2}} - 2\sqrt{\frac{I_{BB}-I_o}{2}}\right). \tag{13}$$

From Eq.(13), it can be expressed in the function of I_o as

$$I_o = \frac{V_{in}}{2}\sqrt{\mu_n C_{ox}(W/L) I_{BB}}. \tag{14}$$

The transconductance gain g_m of the balanced wide input range CMOS OTA in Fig. 3 can be expressed as

$$g_m = \frac{1}{2}\sqrt{\mu_n C_{ox}(W/L) I_{BB}}. \tag{15}$$

From Eq.(15) it is found that the transconductance gain g_m of the CMOS OTA can be varied by the bias current I_{BB}, however it in the square root function that cannot linearly tuned.

2.4 The proposed linear tunable wide input range CMOS OTA

A linear tunable wide input range CMOS OTA, which is consisted of a balanced differential pair CMOS OTA cell and current squarer cell is shown in Fig.4. The output current of the current squarer (I_{sq}) is given to be the DC bias current (I_{BB}) of the proposed CMOS OTA.

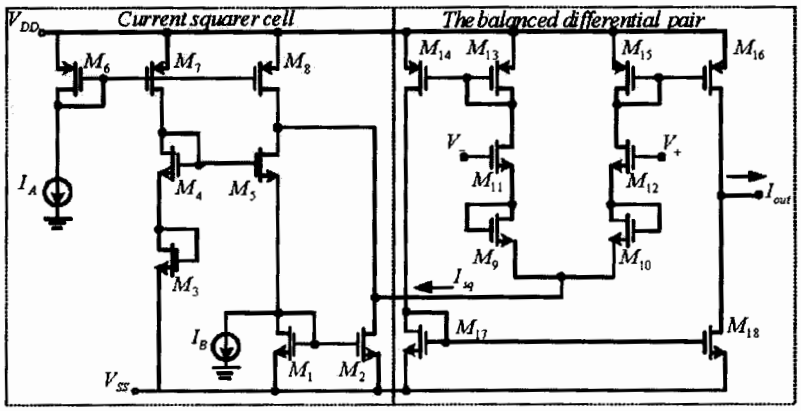


Fig.4. Complete circuit diagram of the proposed linear tunable wide input rang CMOS OTA

Therefore, from routine circuit analysis in Fig.4, the output current of the proposed CMOS OTA can be expressed as

$$I_{out} = \frac{V_{in} I_B}{2} \sqrt{\frac{\mu_n C_{ox} (W/L)}{8 I_A}}. \tag{16}$$

From Eq.(16) the transconductance gain g_{mT} of the proposed circuit can be expressed as

$$g_{mT} = \frac{I_B}{2} \sqrt{\frac{\mu_n C_{ox} (W/L)}{8 I_A}}. \tag{17}$$

If we let K= $\mu_n C_{ox} W/2L$, the transconductance gain g_{mT} becomes

$$g_{mT} = \frac{I_B}{2} \sqrt{K/I_A}. \tag{18}$$

From Eq.(18), if I_A is fixed, the output current I_o can be linearly controlled by the external DC currents I_B.

It should be noted that the transconductance gain (g_{mT}) of this proposed CMOS OTA will provide low harmonic distortion if the input voltage is limited in the range of

$$-I_B \sqrt{K/4I_A} \le V_{in} \le I_B \sqrt{K/4I_A} \tag{19}$$

2.5 Frequency response of a linear tunable wide input range CMOS OTA

Consider the frequency response of the current-mirror-load balanced differential pair CMOS OTA. The balanced differential pair CMOS OTA is shown in Fig.5 with four capacitances indicated, C_m is the total capacitance of current-mirror at the input node of the current mirrors (M_{13}-M_{14} and M_{15}-M_{16}), C_{diff} is the total capacitance of differential pair and R_L is the total resistor at the output node. The total capacitance of current-mirror C_m can be expressed as

$$C_m = C_{m1} + C_{m2} \tag{20}$$

where C_{m1} and C_{m2} are defined as

$$C_{m1} = C_{gs15} + C_{gs16} \tag{21}$$

$$C_{m2} = C_{gs13} + C_{gs14} \tag{22}$$

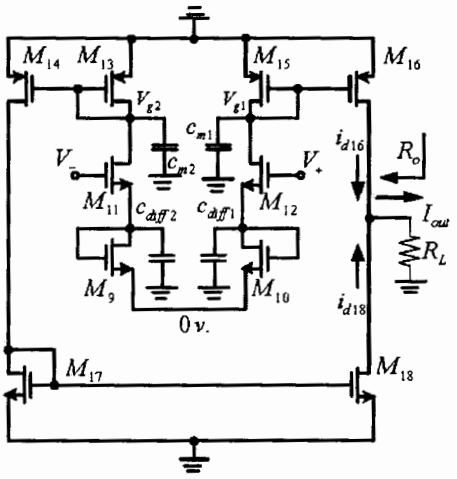


Fig.5. Frequency response analysis of the circuit in Fig.4

The capacitance C_{diff} is the total capacitance of differential pair can be expressed as

$$C_{diff} = C_{diff1} + C_{diff2} \tag{23}$$

where $C_{diff1}$and C_{diff2} are defined as

$$C_{diff1} = C_{gs12} + C_{gs10} \tag{24}$$

$$C_{diff2} = C_{gs11} + C_{gs9} \tag{25}$$

As indicated in Fig.5, the transistor M_{12} will conduct a drain current signal of $g_m(V_{in}/2)$, which flows through the diode connected transistor of M_{15}, and thus through the parallel combination of $1/g_{m15}$ and C_{m2} where we have neglected the resistances r_{o12} and r_{o15} which are larger than $1/g_{m15}$, the voltage V_{g1} can be expressed as

$$V_{g1} = \frac{-\left[g_{m12} - \dfrac{g_{m10}}{\left(g_{m10} + g_{m12} + s\left(C_{gs10} + C_{gs12}\right)\right)}\right]}{g_{m15} + sC_{m1}} \cdot \frac{V_{in}}{2} \tag{26}$$

The drain current of the M_{16}can be defined as

$$i_{d16} = -g_{m16}V_{g1} \tag{27}$$

substituting V_{g1} from Eq.(26) to Eq.(27), the drain current i_{d16} can be rewritten as

$$i_{d16} = \frac{\left[g_{m12} - \frac{g_{m10}}{\left(g_{m10} + g_{m12} + s\left(C_{gs10} + C_{gs12} \right) \right)} \right]}{1 + \frac{sC_{m1}}{g_{m15}}} \cdot \frac{V_{in}}{2} \tag{28}$$

and the voltage V_{g2} is written as

$$V_{g2} = \frac{-\left[g_{m13} - \frac{g_{m9}}{\left(g_{m9} + g_{m11} + s\left(C_{gs9} + C_{gs11} \right) \right)} \right]}{g_{m13} + sC_{m2}} \cdot \frac{V_{in}}{2} \tag{29}$$

Since the drain current $i_{d14} = i_{d17} = i_{d18}$, where $i_{d18}$is defined as

$$i_{d18} = -g_{m18} V_{g2} \tag{30}$$

Substituting V_{g2} from Eq.(29) to Eq.(30) the drain current i_{d18} can be expressed as

$$i_{d18} = \frac{\left[g_{m11} - \frac{g_{m9}}{\left(g_{m9} + g_{m11} + s\left(C_{gs9} + C_{gs11} \right) \right)} \right]}{1 + \frac{sC_{m2}}{g_{m13}}} \cdot \frac{V_{in}}{2} \tag{31}$$

Now, at the output node the total current is

$$i_{out} = i_{d16} + i_{d18} \tag{32}$$

which flows though the parallel combination of $R_o = r_{o16} // r_{o18}$ and R_L thus

$$V_o = i_{out} \frac{1}{\frac{1}{R_o} + R_L} \tag{33}$$

Substituting i_{out} from Eq.(32) to Eq.(33) where $g_{m9} = g_{m10} = g_{mR}$, $g_{m13} = g_{m15} = g_{m_{cm}}$ and $g_{m11} = g_{m12} = g_{m_{diff}}$ the voltage transfer gain is written as

$$\frac{v_o}{v_{in}} = \left[\frac{g_{m_{diff}} - \dfrac{\dfrac{g_{m_R}}{g_{m_R} + g_{m_{diff}}}}{1 + \dfrac{sC_{diff}}{g_{m_R} + g_{m_{diff}}}}}{1 + \dfrac{sC_m}{g_{m_{cm}}}} \right] \cdot \left[\frac{1}{\dfrac{1}{R_o} + R_L} \right] \tag{34}$$

From Eq.(34) indicates that the capacitance C_m at the input of the current mirror give rise to a pole with frequency f_p,

$$f_p = \frac{g_{m_{cm}}}{sC_m} \tag{35}$$

and a zero with frequency f_z

$$f_z = \frac{g_{m_R} + g_{m_{diff}}}{sC_{diff}}. \tag{36}$$

From (36) indicates that the capacitance C_{diff} at the differential pair give rise to a zero with frequency f_z.

2.6 A linear tunable sinusoidal quadrature oscillator

The quadrature oscillator is a typical of sinusoidal oscillator which it provides two sinusoids outputs with 90° phase shift. They are found useful in selective voltmeters in measurement system, simple sideband generators and quadrature mixers, vector generators and selective voltmeters[20-22].

In order to demonstrate the usefulness of the proposed tunable CMOS OTA, the quadrature oscillator based on the proposed CMOS OTA which its oscillation frequency can be linearly controlled is presented. The circuit structure consists of 3 tunable CMOS OTAs, 2 grounded capacitors, and only resistor.Figure6 shows the block diagram of the quadrature oscillator compose of an integrator circuit, an amplifier circuit and adder/subtractor circuit.

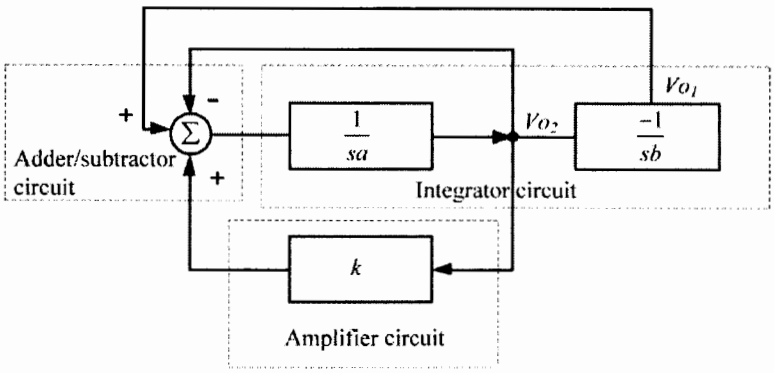


Fig.6. Block diagram of the quadrature oscillator

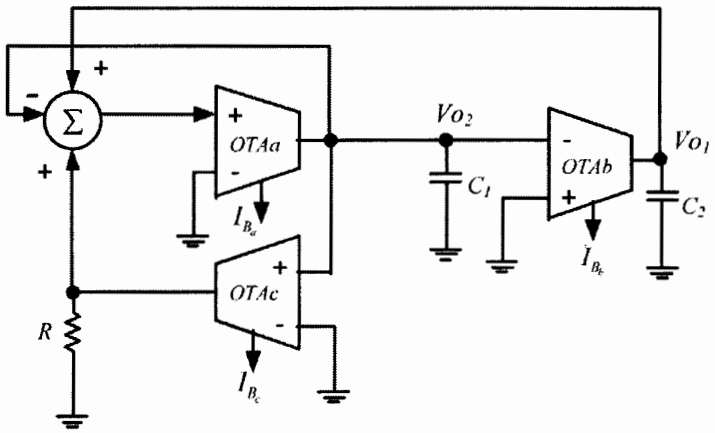


Fig.7. Schematic diagram of the quadrature oscillator

The schematic diagram of the circuit is shown in Fig.7, where the OTA_a and C_1form as the integrator a, the OTA_b andC_2form as the integrator b and the amplifier circuit consist of OTA_c and R. The characteristic equation of the circuit can be obtained as

$$s^2C_1C_2 + sC_2g_{m_a}\left(1 - g_{m_c}R\right) + g_{m_a}g_{m_b} = 0. \tag{37}$$

From Eq.(37), the condition of oscillation and the frequency of oscillation are written as

$$R.g_{m_c} \geq 1. \tag{38}$$

$$\omega_{osc} = \sqrt{\frac{g_{m_a}g_{m_b}}{C_1C_2}}. \tag{39}$$

From Eq.(38) and Eq.(39), if $g_{m_a} = \frac{I_{B_a}}{2}\sqrt{\frac{k}{8I_A}}$, $g_{m_b} = \frac{I_{B_b}}{2}\sqrt{\frac{k}{8I_A}}$ and $g_{m_c} = \frac{I_{B_c}}{2}\sqrt{\frac{k}{8I_A}}$, it yields

$$\frac{RI_{B_c}}{2}\sqrt{\frac{k}{8I_A}} \geq 1. \tag{40}$$

$$\omega_{osc} = \sqrt{\frac{I_{Ba}I_{Bb}k}{32I_AC_1C_2}}. \tag{41}$$

If $I_{Ba}=I_{Bb}=I_B$, therefore Eq.(41) can be reduced to

$$\omega_{osc} = I_B\sqrt{\frac{k}{32I_AC_1C_2}}. \tag{42}$$

From Eq. (39) the frequency of oscillation can be linearly tuned by I_B while the condition of oscillation can be adjusted by I_{Bc}. From Eq.(40) and Eq.(42), it is obviously found that the condition of oscillation and frequency of oscillation can be adjusted independently. The relationship of output voltage between V_{o_1} and V_{o_2} can be expressed in the voltage transfer function as

$$\frac{V_{o_2}(s)}{V_{o_1}(s)} = \frac{-g_{m_b}}{sC_2}. \tag{43}$$

The voltage of sinusoidal steady state can be rewritten as

$$\frac{V_{o_2}(j\omega)}{V_{o_1}(j\omega)} = \frac{-g_{m_b}}{\omega C_2}e^{-j90^\circ}. \tag{44}$$

It is found from Eq.(44) that the quadrature output voltage between V_{o_1} and V_{o_2} is phase difference 90°.

3. Simulation Results

We perform the simulations by using PSPICE for verification and demonstrate the performance of the proposed CMOS OTA and its application. All MOS transistor use the TSMC 0.35 μm process parameters. The dimensions of transistors are illustrated in Table 1. The power supplies were set to $V_{DD} = -V_{SS} = 1.5$ V.

Table 1. The dimensions of the CMOS transistors

CMOS	W(μm) / L(μm)
M_1-M_7, M_{11}-M_{18}	1.75/0.35
M_8	3.5/0.35
M_9,M_{10}	0.35/0.35

The DC transfer characteristic of the proposed circuit in Fig.4 was shown in Fig.8. The plots of the output current I_{out} varying the input voltage(V_{in}) is clearly shown that, in the case of the DC bias current(I_B) of 500μA, 700μA and 800μA, the circuit can be linearly convert the input voltage into output signal current with nonlinearity of less than 2.5% for the input voltage(V_{in}) in the range of -0.8 to 0.8V, -0.97 to 0.97V and -1.01 to 1.01V, respectively.

These results were agreed with the Eq.(18). For example, in the case of the input voltage V_{in}=100mv, the DC bias current I_A=200μA, the DC bias current I_B=500μA and the transconductance gain $g_{m_T} = 3.8\times10^{-4}\,A/V$.

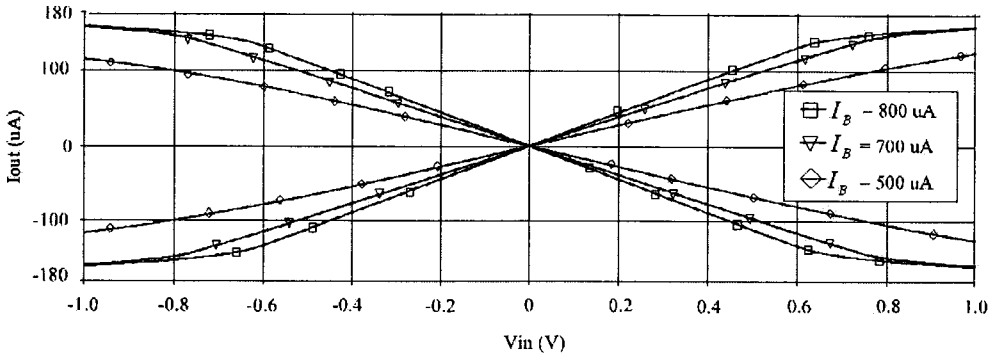


Fig.8. DC transfer characteristics of the proposed CMOS OTA

The plot of the relation between the transconductance gain g_{m_T} and varying input voltage in the ranges of -1.1 to 1.1V in Fig.9. It is shown that, in the case of I_B = 500μA,700μA and 800μA the circuit can be linearly convert the input voltage into signal transconductance g_{m_T} for the input voltage (V_{in}) in the ranges of -0.7 to 0.7V, -0.8 to 0.8V and -0.6 to 0.6V, respectively, for the transconductance's nonlinearity of less than 3%. From this result, we found that the higher bias current will provide wider linear range of the transconductance.

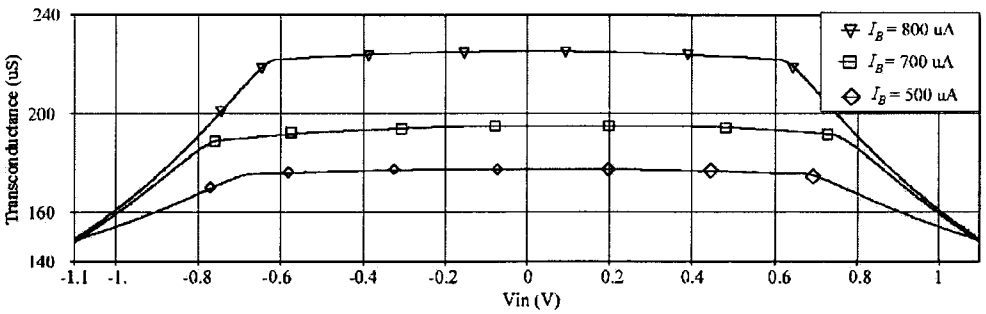


Fig.9. Transconductances of the conventional transconductor

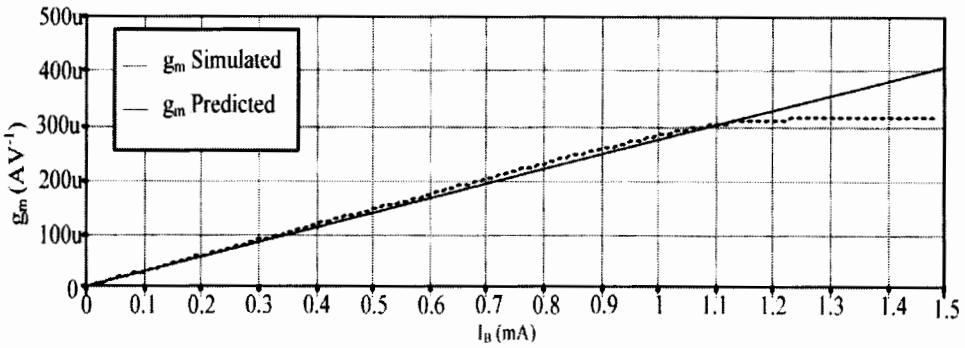


Fig.10. Linear transconductance tunable range

Fig.10 showns the plot of relation between the transconductance gain g_{m_1} and the DC bias current I_B. It is measured by given V_{in}=1mV, I_A=200μA and varies I_B from 1nA to 1.2mA. This result shows that the g_{m_1} can be linearly tuned by the bias current I_B over the current range of 1nA to 1.1mA, where the simulated conversion error is less than 4.3%.

The frequency response of the proposed circuit is shown in Fig.12, in the case of the AC input voltage V_{in}=1mV, the DC bias current I_B=500μA, the transconductance gain $g_{m_{diff}}$ =3.8×10-4V/A, g_{m_R} =1.7×10^{-4}V/A, $g_{m_{cm}}$ =3.8×10^{-4}V/A, C_m =1.81×10^{-15}F and C_{diff} =3.8×10^{-15}F, the -3$_{dB}$ bandwidth of about 8.35 GHz is achieved. From this result we found that, the frequency response of the proposed circuit is according to the calculation in Eq.(33) with the error of about 5%.

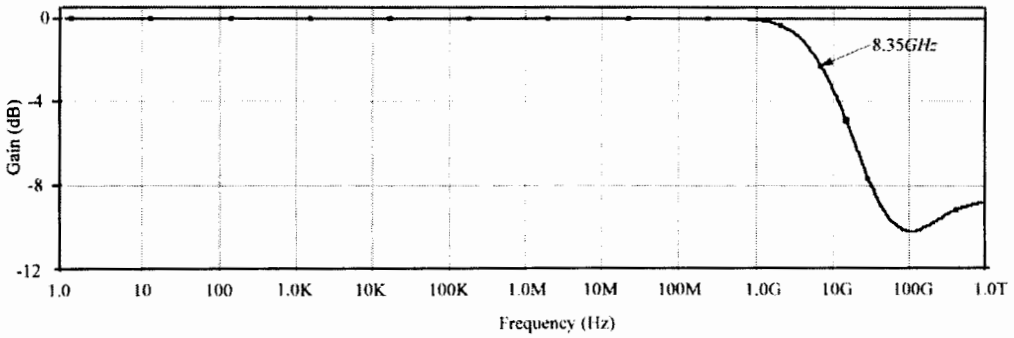


Fig.11.Frequency respond of the OTA

The performances of the proposed linear tunable quadrature oscillator in Fig. 7, are also verified through the PSPICE simulation results. For the design example of the frequency of oscillation (f_{osc}) is 600kHz, we set the bias current of the OTA$_a$ and the OTA$_b$ are 500 μA ($I_{B_a} = I_{B_b} = I_B = 500\mu A$) and the bias current of the OTA$_c$ is 697 μA ($I_{B_c} = 697\mu A$) and $C_1 = C_2 = 50pF$, then from the condition of Eq.(40) the resistor (R) will be equal to 5.2kΩ. Fig.12 and Fig.13 show the output waveform at the initial and output waveform at the steady state for V_{o1} and V_{o2}. Fig.14 shows the output spectrum where the simulated oscillation frequency was obtained at 600 kHz and total harmonic distortion (THD) is about 0.39 %. The power consumption is about 37.7 mW.

Fig.15 depicts the plots of the simulated and theoretical oscillation frequencies versus the bias currents I_B at C_1 and C_2 with identical values, are 5nF, 500pF and 50pF. It is seen that the simulation results are in accordance with the theoretical analysis shown in Eq. (40).

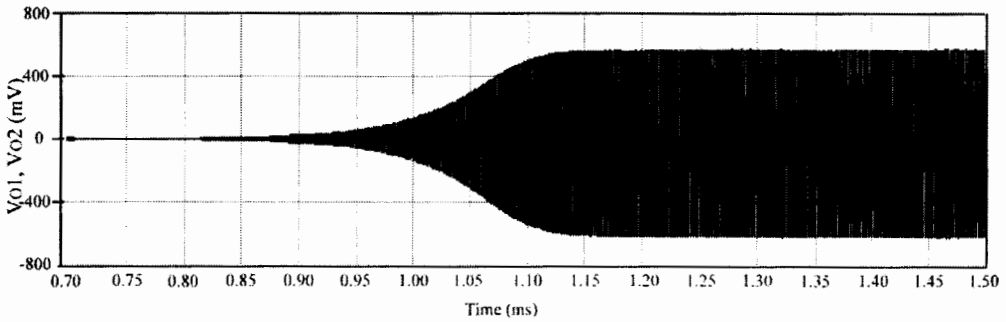


Fig.12. Output waveform at the initial state

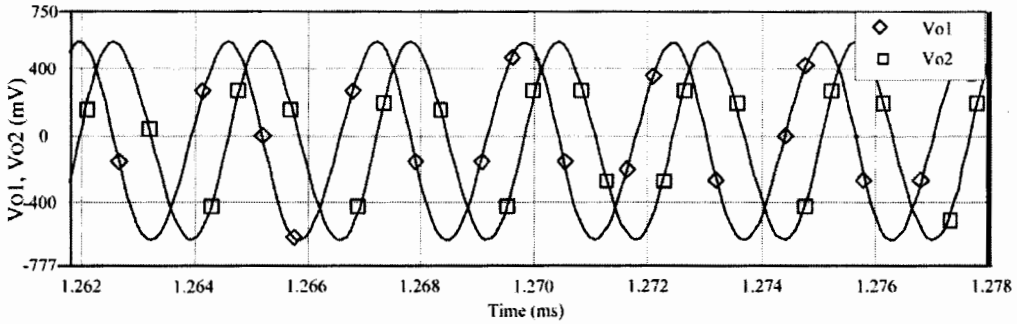


Fig.13. Output waveform at the steady state

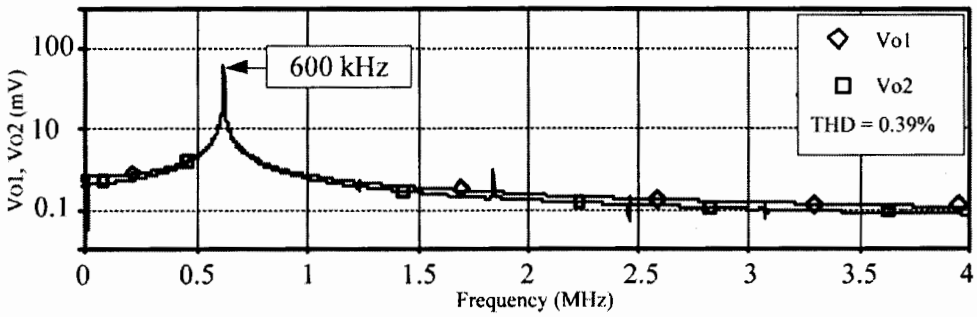


Fig.14. Output spectrum of the quadrature oscillator

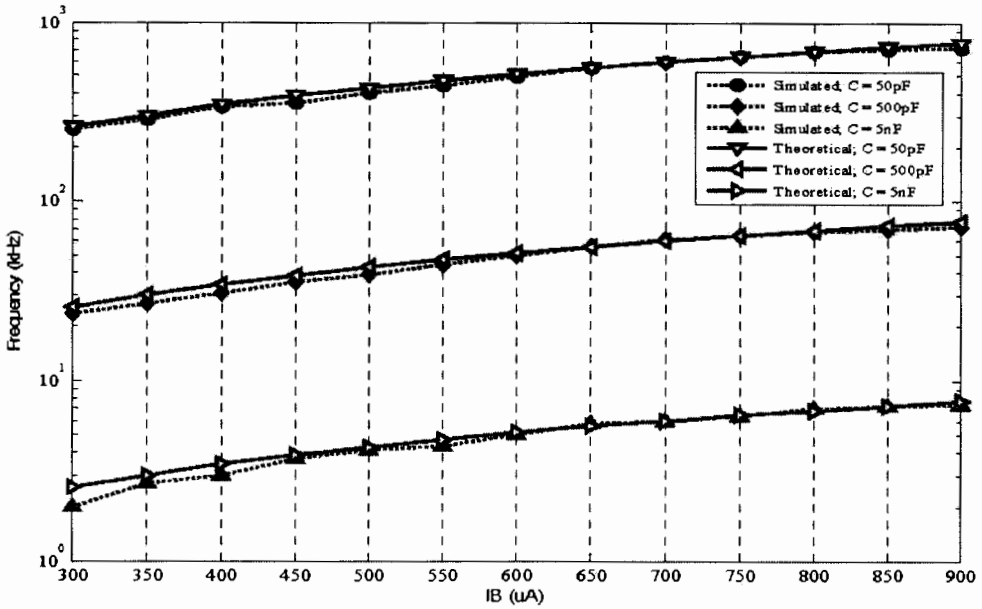


Fig.15. Output frequency versus I_B currents.

4. Conclusion

A realization technique of the linear tunable and wide input range CMOS OTA has been presented in this work. The circuit structure is composed of the improved balanced differential pairand the current squarer circuit. Its transconductance gain can be linearly controlled by electronic method by the external DC bias current with the nonlinear transconductance of less than 4.3%. The PSPICE simulation results can be demonstrated the performance of the proposed circuit. The frequency respond of the proposed CMOSOTA is about 8.35 GHz, with power consumptions about 3.05 mW. In addition, the tunable quadrature oscillator based on the proposed CMOS OTA which its oscillation frequency can be linearly controlled is presented.

5. Acknowledgment

This work was funded by the Thailand Research Fund (TRF), under the Research Grant for TRF Research Scholar Program (Grant No. RSA5680040).

References

1. Lin Y T, Chen C H, Lu S S. A feed-forward automatic-gain control amplifier for biomedical applications. Asia-Pacific Microwave Conference Proceedings, Bangkok, Thailand, 2007
2. V. Riewruja, and A. Rerkratn, "Four-quadrant analogue multiplier using operational amplifier, International Journal of Electronics, vol. 98, no. 4, pp. 459-474, 2011.

3. G. Souliotis, and C. Psychalinos,"Harmonic oscillators realized using current amplifiers and grounded capacitors,"International Journal of Circuit Theory and Applications, vol.35, no. 2, pp. 93–104,2007.
4. R. Senani, and V. K. Singh, "Novel single-resistance controlled oscillator configuration using current feedback amplifiers, "IEEE Trans. Circuits, vol. 43, no. 8, pp. 698-700, 1996.
5. G. Souliotis, "A current mode automatic frequency tuning system for filters with current mirrors,"Int. J. Circ Theor, vol. 38, no. 6, pp. 591-606 , 2010.
6. C. Psychalinos,"Square-root domain wave filters," International Journal of Circuit Theory and Applications,vol. 35, pp.131–148, 2007.
7. Wittlinger H. A. 1972. Application of the CA3080 and CA3080A High Performance Operational Transconductance Amplifiers, RCA Application Note ICAN-6668. Data book: 247-248.
8. Wang, Z. and Guggenbuhl, W. 1990. A Voltage-Controllable Linear MOS Transconductor Using Bias Offset Technique. IEEE J. Solid-State Circuits, 25: .317-315
9. Wang, Z. 1990. Novel linearisation technique for implementing large-signal MOS tunable transconductor. Electronics Letters, 26: 138–139.
10. Huang, S.-C. and Ismail M. 1993 A Voltage-Controllable Linear MOS Transconductance Using Bias Offset Technique. IEEE J. Solid-State Circuits, 25:315-317
11. Wilson, G. and Chan, P.K. 1993. Saturation-Mode CMOS Transconductor with Enhanced Tunability and Low distortion. Electronics Letters, 29: 459-461.
12. Jiunn, Y. L., Chien, C.T. and Wei, H.C. 2000. A 3 V linear input range tunable CMOS transconductor and its application to 3.3 V 1.1 MHz Chebyshew low-pass Gm-C filter for ADSL IEEE 2000 Custom Integrated Circuits Conference, 21-24 May 2000:387-390.
13. Torralba, A., Martinez-Heredia, J.M.,Carvajal, R.G. and Ramirez-Angulo, J.2002. Low-voltage transconductor with high linearity and large bandwidth. Electronics Letters, 38:1616-1617.
14. Galán, J.A., Carvajal, R.G., Muñoz, F.,Torralba A. and Ramírez-Angulo J. 2003.Low-Power Low-Voltage Class-AB Linear OTA for HF Filters with a Large Tuning Range. Analog Integrated Circuits and Signal Processing, 37:275-280.
15. Calvo, B., Celma, S., Sanz, M.T., Alegre,J.P. and Aznar, F. 2008. Low-Voltage Linearly Tunable CMOS Transconductor With Common-Mode Feed forward. IEEE Transactions on Circuits and Systems I, 55:715-721.
16. Wang, Z. 1990. Novel linearization technique for implementing large-signal MOS tunable transconductor. Electronics Letters, 26: 138–139.
17. K. Kaewdang, and W. Surakampontorn,"On the realization of electronically current-tunable CMOS OTA." Int. J. Electron. Commun (AEU), vol. 61, pp. 300-306, 2007.
18. K. Kaewdang, andW. Surakampontorn,"A balanced output CMOS OTA with wide linear current tunable range," Int. J. Electron. Commun (AEU), vol. 65, pp. 728-733, 2011
19. Danupat Duangmalai, and Khanittha Kaewdang. "A linear tunable wide input range CMOS OTA." TENCON 2014-2014 IEEE Region 10 Conference. IEEE, 2014.
20. W. Bolton." Measurement and Instrumentation Systems" Newnes, Oxford, UK, 1996.
21. J. D. Gibson."The Communications Handbook" CRC Press, Boca Raton, Fla, USA, 1997.
22. Seunghyeon Nahm, Kyungtac Han, and Wonyong Sung. "A cordic-based digital quadrature mixer" IEEE, 1998.

A linear tunable wide input range CMOS OTA

Danupat Duangmalai
Faculty of Engineering
UbonRatchathani University
UbonRatchathani, 34190, Thailand
kongnkp@hotmail.com

Khanittha Kaewdang
Faculty of Engineering
UbonRatchathani University
UbonRatchathani, 34190, Thailand
khanittha.k@ubu.ac.th

***Abstract*—A new technique to realize the linear tunable and wide input range CMOS OTA is proposed. The realization method is achieved by squaring the long tail current (I_B) of the differential pair and improved the linear input range by source degeneration technique. The OTA transconductance gain can be linearly tuned from 10nA to 1mA and the linear input-voltage range of about 1Vp with less than 3% nonlinearity is obtained. The performance of the circuit is discussed and confirmed through PSPICE-simulation results in TSMC 0.35 μm CMOS technology with power supply of ±1.5 V.**

Keywords— linear CMOS OTA; current squarer; current tunable; transconductance;

I. INTRODUCTION

The operational transconductance amplifier (OTA) is the favorable active building block of analog circuits and systems. Its duty is voltage to current converting circuit. Apart from that, the output gain of OTA can be electronically controlled. Furthermore, it has high input and output impedances. Thus, it is widely employed in analog circuit designs such as amplifiers [1], sinusoidal oscillators [2][3], square-rooters [4], multipliers [5] andactive filters [6]. It is well accepted that the transconductance at output port (g_m) of OTA based on BJT technology can be linearly adjusted by current bias. However, the$g_m$depend on temperature more than OTA based on CMOS technology. As a result of $g_m=I_B/2V_t$ where V_T is the thermal voltage.Moreover, the CMOS technology is a good choice for analog circuit design in the past two decades [7]. There are many advantages, such as, low cost technology, small size and low power consumption.

Fromliterature review, the linear CMOS transconductor circuits have been presented for example in [8-10]. Their linear input voltage range has been improved and its transconductrance gain can be controllable. However, the most tunable transconductace are controlled by voltage and nonlinear[9][1].Recently, an Electronically Tunable Operational Transconductance Amplifier (EOTA), where its g_m can be linearly tuned for a 3-decade range, has been proposed[11]. However, its structure is quite complicated due to the use of 3 CMOS OTAs. A balanced output operational transconductanceamplifierOTA (BOTA), where its g_m can be linearly tuned a fully differential transconductor and a variable current gain cell that is modified from a current-mode translinear circuit, has been proposed [12].

Therefore, the main objective of this paper is to propose a new circuit design technique for the synthesis of a linear electronicallytunable CMOS OTA with the wider input range. This OTA is achieved by squaring the bias current I_B of CMOS OTA for the linear transconductance controllable by the external DC bias current. Moreover the circuit performancehas been improved for wide linear input dynamic range.

II. CIRCUIT DESCRIPTIONS

A. Basic Conceptof OTA

The operational transconductance amplifier or OTA is voltage-to-current converter circuit[12,13]. The output current of an OTA is given by

$$I_O=g_m(V_+-V_-)=g_mV_{in}, \qquad (1)$$

whereI_O is the output current, g_m is the transconductance of OTA, and $V_{in}=(V_+-V_-)$ is the different input voltage. For a CMOS OTA, the transconductance gain is equal $\sqrt{2kI_B}$ where the transconductance parameter $k=\mu C_{ox}W/2L$, μ is the mobility of the carrier,C_{ox} is the capacitance per unit area, W is the effective channel width, L is the effective channel length. The symbol of the CMOS OTA is illustrated in Fig.1.

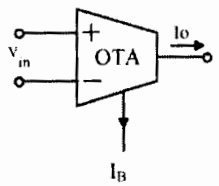


Fig. 1. Symbol of the OTA.

B. Current Squarer Circuit

Assuming as all MOS transistor are operated in saturation region. Based on the square law characteristic of CMOS transistor, the output current of this squarer can be expressed as

$$Iout_{squarer} = 2I_A + \frac{I_B^2}{8I_A} - I_{D3}. \quad (2)$$

From Fig.2, if we give $(W/L)_{M3} = 2(W/L)_{M2,M1}$, the drain current I_{D3} will equal to $2I_A$. Subsequently, the Eq. (2) can be rewritten to be

$$Iout_{squarer} = \frac{I_B^2}{8I_A}. \quad (3)$$

From the Eq. (3), it can be found that the squarer can be electronically controlled by I_A. In addition, in ideal case, it is independent from temperature variation. Therefore, it is appropriate to employee in the OTA.

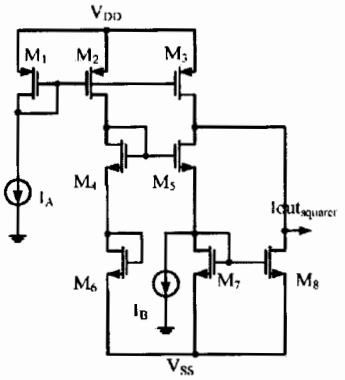


Fig. 2. Current squarer circuit.

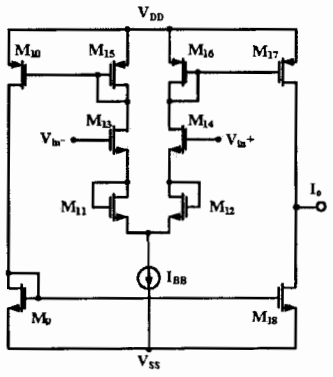


Fig. 3. A balanced wide input range CMOS OTA

C. Principle of the balancedwide input range CMOS OTA

Let us assume that M_{13} and $M_{14}$are perfectly matched, M_{15} and M_{16} are active resistor bias balanced differential circuit and the current mirrors have unity current gains, where $V_{in}$is the differential input voltage $(V_{in} = V_+ - V_-)$ and I_B is the bias current illustrated in Fig.3 [13-15].From Fig. 3, M_{11} and M_{12} are operated as resistance simulators. It can be seen that, $V_{in} = V_+ - V_- = V_{GS14} + V_{GS12} - V_{GS13} - V_{GS11}$, then from routine circuit analysis the differential output current I_o can be express as

$$I_O = I_{d14} - I_{d13} = \frac{V_{in}}{2}\sqrt{kI_{BB}}\sqrt{1 - \frac{kV_{in}^2}{16I_{BB}}}. \quad (4)$$

If $-2\sqrt{\frac{I_{BB}}{k}} \le V_{in} \le 2\sqrt{\frac{I_{BB}}{k}}$,the transconductance gain g_m of the differential transconductor and I_o can be defined as

$$g_m = \frac{1}{2}\sqrt{kI_{BB}}, \quad (5)$$

and

$$I_o = \frac{V_{in}}{2}\sqrt{kI_{BB}}. \quad (6)$$

From this result, we can found that the input voltage (V_{in}) of this circuit can operate 2 times wider range than the simple CMOS OTA. For example, in the case of I_{BB} = 500μA and $k = 4.63\times10^{-4}$ AV^{-2}, the usable range of a balanced wide input range CMOS OTA is about ±0.76V for I_O = 80μA, where as the simple CMOS OTA is about ±0.31V is shown in Fig.6.

D. The proposed linear tunable wide input range CMOS OTA

The proposed linear tunable wide input range CMOS OTA is realized by assume that all transistor are operated in saturation region. This means that the transistor drain current I_D is characterized by

$$I_D = \begin{cases} k(V_{GS} - V_{th})^2 & \text{for } V_{GS} > V_{th} \\ 0 & \text{for } V_{GS} < V_{th} \end{cases} \quad (7)$$

Where k is the transconductance parameter, $k = \mu C_{ox} W/L$ where μ is the mobility of the carrier, C_{ox} is the capacitance per unit area, W is the effective channel width, L is the effective channel length, V_{GS} is the gate-to-source and V_{th} is the threshold voltage, respectively.The circuit configuration consists of a balanced wide input range CMOS OTA and current squarer circuit. Fig.4 shows the conceptual circuit, to obtain the linear tunable transconductance by the external DC bias current I_B.

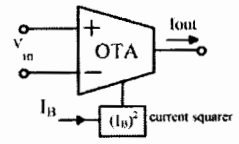


Fig. 4. The circuit configuration of the proposed OTA.

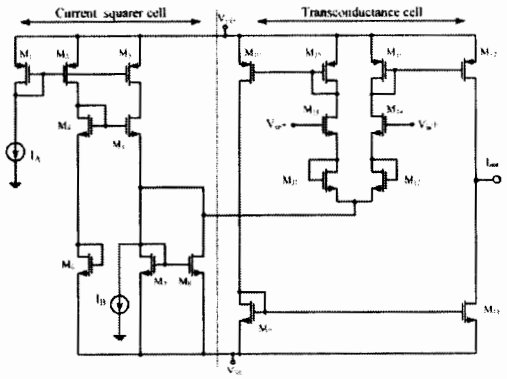


Fig. 5. Internal construction of the linear tunable wide input range CMOS OTA.

From properties of the current squarer and the balanced wide input range CMOS OTA as described in Section II.B and II.C,the proposed OTA's output current can be foundto be

$$I_{out} = \frac{V_{in}}{2}\sqrt{kI_{BB}}, \tag{8}$$

Where $I_{BB} = Iout_{squarer} = \frac{I_B^2}{8I_A}$. Hence, I_{out} can be expressed as

$$I_{out} = \frac{V_{in}I_B}{2}\sqrt{\frac{k}{8I_A}} \quad \text{for} \quad -2\sqrt{\frac{I_{BB}}{k}} \le V_{in} \le 2\sqrt{\frac{I_{BB}}{k}} \tag{9}$$

therefore, the transconductance gain (g_m) is

$$g_m = \frac{I_B}{2}\sqrt{\frac{k}{8I_A}}. \tag{10}$$

From Eq. (10) if $\frac{1}{2}\sqrt{\frac{k}{8I_A}}$ kept constant, we found that g_m can beelectronically andlinearly controlled by external DC bias current;I_B.

III. Simulation Results

The performances of the proposed linear tunable wide input range CMOS OTA of Fig.5 have been verified by PSPICE simulation. The NMOS and PMOS transistor use parameter of the TSMC 0.35 µm level 3 of MOSIS. The dimensions of transistors are illustrated in Table 1. The power supply were set to $V_{DD} = V_{SS} = 1.5$ V.

TABLE I. DIMENSIONS OF THE CMOS

CMOS	W (µm) / L (µm)
M1, M2, M4 – M8	1.75/0.35
M3	3.5/0.35
M11 – M12	0.35/0.35
M13 - M18	1.75/0.35

The first simulated result displays the DC transfer characteristic ofthe output currents of the simple OTA and the proposed OTA where V_{in} is varied as shown in Fig. 6. It can be concluded that the input voltage range of the proposed is wider the simple OTA. Its linear input range is approximately ±1 V. Fig.7 Shows simulation results of the DC transfer characteristic of the proposed CMOS OTA. The plots of the output current I_{out} versus the input voltage V_{in} is clearly shown that the DC bias current (I_B) in the case of 500µA, 700µAand 800µA.can be linearly convert the input voltage into output signal current, with tranconductor's nonlinearity less than 3% for the input voltage (V_{in}) in the range about of 0.4V to 0.4V, -0.75Vto0.75V,and -0.61V to 0.61Vrespectively. These results were agreed with the prediction value from Eq. (9). For example, in the case of the DC bias current I_A=200µA, I_B=500µA, V_{in}=100mV, $\mu C'_{ox}/2 = 92.7\times10^{-6}\,A/V^2$, the transconductance gain g_m=$1.35\times10^{-4}A/V$.

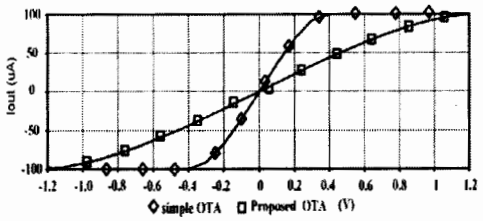


Fig. 6. DC transfer characteristics of the simple OTA and wide input range OTA.

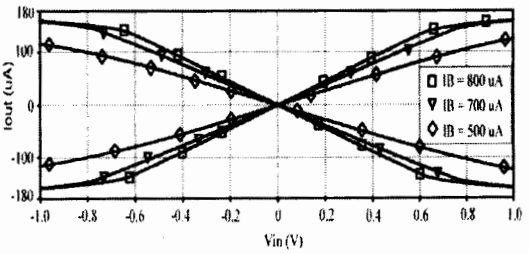


Fig. 7. DC transfer characteristics of the proposed CMOS OTA

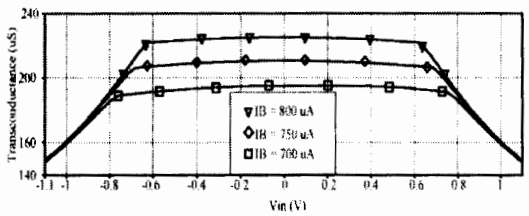


Fig. 8. Transconductances of the conventional transconductor

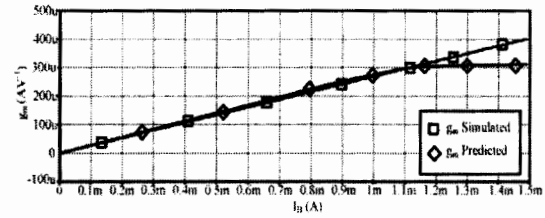


Fig. 9. Linear transconductance tunable range.

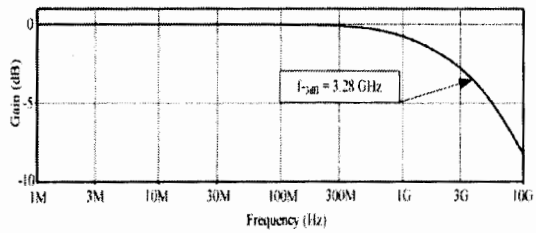


Fig. 10. Frequency respond of the OTA

Fig.8 illustrates simulation results of the transconductance characteristic for the various bias currents. For example, in the case ofI_B = 700μA, 750μA and 800μA respectively, the linear input range is about -0.75V to 0.75V, -0.67V to 0.67V and -0.61V to 0.61Vrespectively, for the transconductance's nonlinearity are less than 3%. From this resuls, we found that the higher bias current will provide wider linear range of transconductance.The plot of the ration between the transconductance gain g_m and the bias current $I_B$is shown in Fig. 9. It is measured by fixing V_{in}=100mV, and I_A=200μA, by varying I_B from 10nA to 1.5mA. This result shows that the transconductance gain g_m can be linearly tuned by the bias current I_B over the current range of 10nA to 1.1mA, where thesimulated conversion error are less than 4.3%. Fig.10 shows the frequency response of a linear tunable wide input range CMOS OTA simulate -3dB is about 3.28 GHz.

IV. Conclusions

A new linear tunable and wide input range CMOS OTA has been presented in this work. It is combination of a novel transconductance cell and squaring circuit. The transconductance gain can be linearly adjusted by electronic method via the external DC bias current, with the nonlinear transconductance of less than 3%. The simulation result with PSPICE can be demonstrated that thefrequency respond of the OTA is about 3.28 GHz, with power consumptions about 3.05 mW.

Acknowledgment

Thiswork was funded by the Thailand Research Fund (TRF), under the Research Grant for TRF Research Scholar Program (Grant No. RSA5680040).

References

[1] C. Psychalinos, and A.Spanidou,"Current amplifier based grounded and floating inductance simulators,"Int. J. Electron. Commun (AEU), vol. 60, no. 2, pp. 168–171, 2006.

[2] G. Souliotis, and C. Psychalinos,"Harmonic oscillators realized using current amplifiers and grounded capacitors,"International Journal of Circuit Theory and Applications, vol.35, no. 2, pp. 93–104,2007.

[3] R. Senani, andV. K. Singh, "Novel single-resistance controlled-oscillatorconfiguration using current feedback amplifiers,"IEEE Trans. Circuits,vol. 43, no. 8, pp. 698-700, 1996.

[4] C. Psychalinos,"Square-root domain wave filters," International Journal of Circuit Theory and Applications,vol. 35, pp. 131–148, 2007.

[5] V. Riewruja, and A. Rerkrain,"Four-quadrant analogue multiplier using operational amplifier, International Journal of Electronics, vol. 98, no. 4, pp. 459–474, 2011.

[6] G. Souliotis, "A current mode automatic frequency tuning system for filters with current mirrors,"Int. J. Circ Theor. vol. 38, no. 6, pp. 591-606 , 2010.

[7] W. Huang, and E. Sanchez-Sinencio, "Robust highly linear high-frequency CMOS OTA with IM3 below -70dB at 26 MHz. IEEE Transactions on Circuit and Sytems, vol. 53, pp. 1433-1447, 2006.

[8] E. Klumperink, E. v. d. Zwan, and E.Seevinck,"CMOS variable transconductanceeircuit with constant bandwidth," Electronics Letters, vol. 25, pp. 675–6, 1989.

[9] Z. Wang, and W. Guggenbuhl,"A voltage-controllable linear MOS transconductor using bias offset technique," IEEE Solid-State Circuits, vol. 25, pp. 315–7, 1990.

[10] S. C. Huang, and M. Ismail,"Linear tunable COMFET transconductor," Electronics Letters; vol. 29, pp. 459–61,1993.

[11] K. Kaewdang, and W. Surakampontorn,"On the realization of electronically current-tunable CMOS OTA," Int. J. Electron. Commun (AEU), vol. 61, pp. 300-306, 2007.

[12] K. Kaewdang, andW. Surakampontorn,"A balanced output CMOS OTA with wide linear current tunable range," Int. J. Electron. Commun (AEU), vol. 65, pp. 728-733, 2011.

[13] I. Grech, J. Micallef, G. Azzopardi, and C. J. Debono, "A low Voltage Wide-Input-Range Bulk-Input CMOS OTA," Int. J. Analog Integrated Circuits and Signal Processing, vol. 43, pp. 127-136, 2005.

[14] J. Ramírez-Angulo, C. Durbha, G.O. Ducoudray-Acevedo, Ramon G. Carvajal, and A. Lopez Martin, "Highly linear wide input range CMOS OTA architectures operating in subthreshold and stong inversion," Microelectronic Engineerning J., vol. 84, pp. 273-279, 2007.

[15] G. Wilson, and P.K.Chan, "Satruration-mode CMOS tranconductance whith enhancedtunability and low distion," Electronics Letters, vol.27, pp. 127–29, 1991.

ประวัติผู้วิจัย

ชื่อ-สกุล นายดนุพัฒน์ ดวงมาลัย

ประวัติการศึกษา พ.ศ.2551 ครุศาสตรอุตสาหกรรมมหาบัณฑิต (ค.อ.ม.) สาขาวิชาไฟฟ้า มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าพระนครเหนือ

พ.ศ. 2547 ครุศาสตรอุตสาหกรรมบัณฑิต (ค.อ.บ.) สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์และโทรคมนาคม สถาบันเทคโนโลยีปทุมวัน

พ.ศ. 2539 ประกาศนียบัตรครูเทคนิคชั้นสูง (ปทส.) สาขาวิชาไฟฟ้าสื่อสาร วิทยาลัยช่างกลปทุมวัน

พ.ศ. 2537 ประกาศนียบัตรวิชาชีพชั้นสูง (ปวส.) สาขาวิชาอิเล็กทรอนิกส์ วิทยาลัยเทคนิคนครพนม

ตำแหน่ง ผู้ช่วยศาสตราจารย์

สถานที่ทำงาน อาจารย์สาขาวิชาเทคโนโลยีอิเล็กทรอนิกส์ คณะเทคโนโลยีอุตสาหกรรม มหาวิทยาลัยนครพนม

Email: danupat@npu.ac.th